

集成升降压控制器及双向PD3.0等多种快充协议的SOC

1 特性

◆ 集成升降压功率控制器

- 双向升降压充放电
- 充电管理，包含涓流充电，CC恒流充电，CV恒压充电和充电终止功能
- 宽VBUS和VBAT电压，工作范围高达32V
- 2~5串电池充放电管理
- 支持4.2V和3.5V电池充电
- 单节锂电池充满电压可设置4.1~4.4V
- 单节磷酸铁锂电池充满电压可设置3.5~3.7V
- 可编程开关频率 150KHz和300KHz
- 12-bit ADC转换器可设置电流10mA/步进
- 12-bit ADC转换器可设置电压5mV/步进
- 可编程设置线损补偿
- 内置抖频技术，有效降低EMI干扰
- 支持输入过压欠压保护，输出过流短路保护

◆ 输出快充协议

- 支持PD3.0
- 支持QC2.0 3.0 4.0+
- 支持AFC
- 支持FCP
- 支持SCP
- 支持BC1.2
- 支持TYPE-C DRP/SRC/SNK角色
- 支持死电池激活

◆ 内置MCU

- 支持NTC温度检测
- 支持充电状态指示灯
- Cortex-M0 CPU，频率最高48MHz
- 支持多路GPIO和GPADC
- 支持串口、IIC通讯
- I2C Master/Slave
- ESD 4KV

QFN5X5-48 package(Non-standard)

2 应用产品

- 移动电源
- 锂电池充电
- 电动工具

3 概述

PL62010是一款高性能数模混合的升降压控制器，内置PD3.0, QC3.0, AFC, FCP, SCP, BC1.2等多种快充协议。通过自主专利的升降压控制模式，从而实现在升压、降压、升降压平滑切换；采用COT架构和内置2A的驱动电路，从而实现高效率的、大功率的负载输出；开关频率可编程设置150KHz、300KHz；内置动态输出调压和输出恒流控制，可精准实现PPS功能。

PL62010内置ARM Cortex—M0内核，最高工作频率48MHz，支持I2C、UART、GPIO等通用外设接口，可在线仿真、升级，根据客户需求灵活配置不同的应用场景。

PL62010内置12bit ADC，可以精确测量BUS端和BAT端电压电流。PL62010内置电量算法，外部可通过I2C获取电池电量、充电电压、充电电流等信息。

PL62010支持欠压保护、过压保护、过流保护、短路保护和过温保护，以确保在不同异常情况下系统的安全。

PL62010的高集成度和丰富的功能，有效的降低了系统的复杂性并减少方案成本，非常适合用于电池充放电管理的应用场景。

5 引脚定义

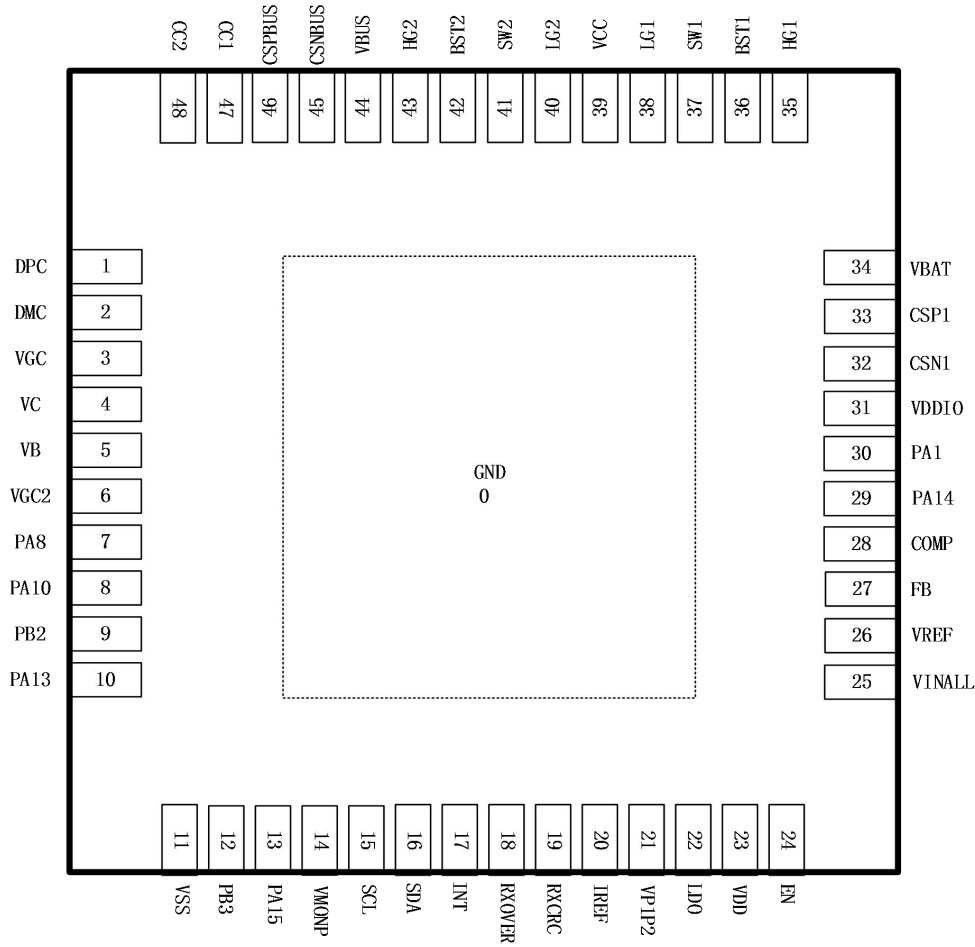


Fig. 5-1 Top view

Tab. 5-1 PL62010 引脚功能 (QFN5X5-48 Package)

Pin		Description
Number	Name	
0	GND	系统地和散热地，需要保持与GND良好接触
1	DPC	TYPE-C口快充识别D+
2	DMC	TYPE-C口快充识别D-
3	VGC	TYPE-C端口MOS驱动引脚
4	VC	TYPE-C端口电压检测
5	VB	与CSPBUS构成VBUS端电流检测
6	VGC2	悬空
7	PA8	GPIO
8	PA10	GPIO
9	PB2	GPIO
10	PA13	烧录引脚SWD
11	VSS	模拟地
12	PB3	GPIO
13	PA15	GPIO

14	VMONP	电压电流信号检测，外接RC滤波
15	SCL	I2C时钟线，外接10K电阻上拉
16	SDA	I2C数据线，外接10K电阻上拉
17	INT	中断信号，外接10K电阻上拉
18	RXOVER	协议数据传输信号
19	RXCRC	测试点，悬空
20	IREF	测试点，悬空
21	VP1P2	内部数字电路1.2V电压源
22	MCULDO	3.3V电压
23	VDD	内部模拟电路5V电压源
24	EN	逻辑高将使能转换器，低逻辑将使整个PL62010失效，EN内部由5M Ω 电阻器拉高
25	VINALL	芯片供电引脚
26	VREF	电压控制回路的参考电压
27	FB	VBUS电压反馈
28	COMP	误差放大器输出兼PWM比较器输入。将补偿元件连接到该引脚
29	PA14	烧录引脚SWCLK
30	PA1	连接至RXOVER
31	VDDIO	连接至MCULDO
32	CSN1	电池端电流采样负端
33	CSP1	电池端电流采样正端
34	VBAT	电池电压输入
35	HG1	高侧MOS栅极驱动1
36	BST1	高侧MOS驱动自举电压1
37	SW1	开关节点1
38	LG1	低侧MOS栅极驱动1
39	VCC	MOS驱动电压源
40	LG2	低侧MOS栅极驱动2
41	SW2	开关节点2
42	BST2	高侧MOS驱动自举电压2
43	HG2	高侧MOS栅极驱动2
44	VBUS	VBUS电压输入
45	CSNBUS	VBUS端电流采样负端
46	CSPBUS	VBUS端电流采样正端
47	CC1	TYPE-C口CC信号1
48	CC2	TYPE-C口CC信号2

6 订购信息

器件名称	订购信息	封装	包装	丝印
PL62010	PL62010IQN48A	QFN5X5-48	5000	62010 RAAYMD

PL62010: Part Number

RAAYMD: RAA: LOT NO.; YMD: Package Date

7 规格参数

7.1 极限参数 (备注1)

	最小	最大	单位
VC, VBUS, VBAT, VINALL, CSP1, CSN1, CSPBUS, CSNBUS, SW1, SW2	-0.3	40	V
VB	-0.3	30	
VGC-VC	-0.3	15	
VGC-VBUS	-0.3	15	
BST1 to SW1, BST2 to SW2	-0.3	7	
HG1 to SW1, HG2 to SW2	-0.3	7	
CC1, CC2, DPC, DMC	-0.3	22	
COMPI, VMONP, SCLP, SDAP, INTP, RXOVER, RXCRC, IREF, VP1P2, MCULDO, VDD, VREF, LG1, LG2	-0.3	6.5	
Others	-0.3	6.5	

7.2 操作范围

符号	参数	最小	最大	单位
T _{ST}	Storage Temperature Range	-65	150	° C
T _J	Junction Temperature		+160	° C
T _L	Lead Temperature		+260	° C
V _{ESD}	HBM Human body model	2	4	kV
	CDM Charger device model		500	V

7.3 推荐工作条件 (备注2)

	MIN	MAX	Unit
VC, VBUS, VBAT, CSP1, CSN1, CSPBUS, CSNBUS, SW1, SW2, VINALL	-0.3	32	V
VB	-0.3	28	
VGC-VC	-0.3	12	
VGC- VBUS	-0.3	12	
BST1 to SW1, BST2 to SW2	-0.3	6.5	
HG1 to SW1, HG2 to SW2	-0.3	6.5	
CC1, CC2, DPC, DMC	-0.3	20	
COMPI, VMONP, SCLP, SDAP, INTP, RXOVER, RXCRC, IREF, VP1P2, MCULDO, VDD, VREF, LG1, LG2	-0.3	6.5	
Others	-0.3	6.5	

7.4 热阻参数^(备注3)

Tab. 7-4-1 Thermal Information

符号	描述	QFN5x5-48	单位
θ_{JA}	芯片到环境间的热阻	43	° C/W
θ_{JC}	芯片到外壳间的热阻	8	

备注:

- 1) 超过正常范围可能会损坏IC
- 2) 在推荐的工作条件之外, 不能保证IC的功能
- 3) 在1盎司铜箔上测试

7.5 电气特性($T_J=25^\circ\text{C}$, 除非特别说明。)

符号	参数	测试条件	最小	典型	最大	单位
电源系统						
VBUS	Input voltage on VBUS		4.6		32	V
VBAT	Input voltage on VBAT		4.6		32	V
VINALL	Input voltage on VINALL		4.6		32	V
V_{UVLO_VBUS}	VBUS under-voltage lockout threshold	Charging mode, rising edge		3.5		V
		Hysteresis		180		mV
V_{UVLO_VBAT}	VBAT under-voltage lockout threshold	Discharging mode, Rising edge		3.2	3.3	V
		Hysteresis		220		mV
V_{UVLO_VINALL}	VINALL under-voltage lockout threshold			1.2		V
$I_{Q_shutdown}$	shutdown current	VBAT= 8.4V, EN = 0		0	1	μA
I_{Q_stbby}	Standby current	VBAT= 8.4V, GOACTIVE = 0		60	80	μA
I_{Q_noclk}	Quiescent current with digital CLK disabled	VBAT= 8.4V, GOACTIVE = high, DISCLK = high, ENDCDC=low		2		mA
I_{Q_nodcdc}	Quiescent current with DC-DC disabled	VBAT= 8.4V, GOACTIVE = high, DISCLK = low, ENDCDC=low		12		mA
VDD	VDD regulation voltage	VINALL = 12V, $I_{VDD} = 1\sim 70\text{mA}$	4.9	5.1	5.35	V
I_{VDD_LIM}	VDD regulator current limit	VINALL = 12V, VDD = 4V	40	80	120	mA
V_{MCULD0}	LDO regulation voltage	LDO set to 3.3V, ILDO = 1~50mA	3.23	3.30	3.37	V
V_{VP1P2}	1. 2V power supply for BMC voltage	VINALL = 12V, connect 1uF from VP1P2 pin to GND。		1.2		V
V_{VCC}	Power supply for buck-boost drivers	VBAT = 12V, connect 1uF from VCC pin to GND。		6.6		V
Vcp	Charge pump voltage	VBAT = 8.4V, VBUS=0V		7		V
Oscillators						
F _{SW}	Switching frequency	FSW_SET = 00		150		kHz
		FSW_SET = 01		300		kHz
F _{CLK_1ms}	1ms CLK for CC scan and timer			1		kHz
F _{CLK_Dig}	CLK for digital core			8000		kHz
Battery Charging						

V _{BAT_chg}	Battery full-charge voltage	1 cell	4.2	V
		2 cell	2*4.2	V
		3 cell	3*4.2	V
		4 cell	4*4.2	V
		5 cell	5*4.2	V
V _{BAT_chg3p5}	Battery full-charge voltage for 3.5V battery cell	1 cell	3.5	V
		2 cell	2*3.5	V
		3 cell	3*3.5	V
		4 cell	4*3.5	V
		5 cell	5*3.5	V
V _{INREG}	VINREG voltage regulation	VREG_SET = 00,	4.4 4.5 4.6	V
		VREG_SET = 01	8 8.1 8.2	V
		VREG_SET = 10	10.7 10.8 10.9	V
		VREG_SET = 11	17.9 18 18.1	V
V _{EOC}	End of charge voltage threshold		98% 99% 100%	
V _{RECHG}	Recharge threshold		96.0% 97.6% 98.8%	
V _{CHG_OV}	Battery over charge voltage		105%	
Discharging mode				
V _{VREF}	Reference voltage for voltage loop		2.0	V
V _{IREF}	Reference voltage for current loop		2.0	V
I _{SINK_COMPI}	COMPI sink current	VFB=VREF+100mV	15	uA
I _{SOUR_COMPI}	COMPI source current	VFB=VREF-100mV	20	uA
Port detection				
V _{C1_RDY}	Plug-in detection threshold for port C1 used as charging port		4.3 4.4 4.5	V
I _{COM}	Small current detection threshold for I _{BUS}	Falling edge	10 50 80	mV
PD protocol				
I _{PU_CC13A}	Pull up current for CC1 in 3A mode		330	uA
I _{PU_CC11p5A}	Pull up current for CC1 in 1.5A mode		180	uA
I _{PU_CC1USB}	Pull up current for CC1 in default USB mode		80	uA
I _{PU_CC23A}	Pull up current for CC2 in 3A mode		330	uA
I _{PU_CC21p5A}	Pull up current for CC2 in 1.5A mode		180	uA
I _{PU_CC2USB}	Pull up current for CC2 in default USB mode		80	uA
R _{d_cc1}	R _d pull down resistor on CC1		5.6	kΩ
R _{d_cc2}	R _d pull down resistor on CC2		5.6	kΩ
Cut-off switch control				
I _{TURNONC}	C1 port cut-off switch turn on current		1	uA
I²C				
V _{IL}	SCLP, SDAP input low voltage		0.4	V
V _{IH}	SCLP, SDAP input high voltage	1.2		V
THERMAL SHUTDOWN				
T _{SD}	Thermal shutdown temperature	Rising	165	° C
		Hysteresis	15	° C

Note:

设计中保证，非生产测试

8 典型工作曲线

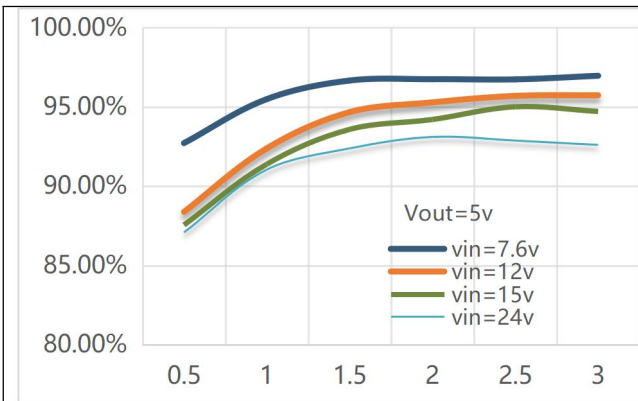


Fig. 8-1 Efficiency

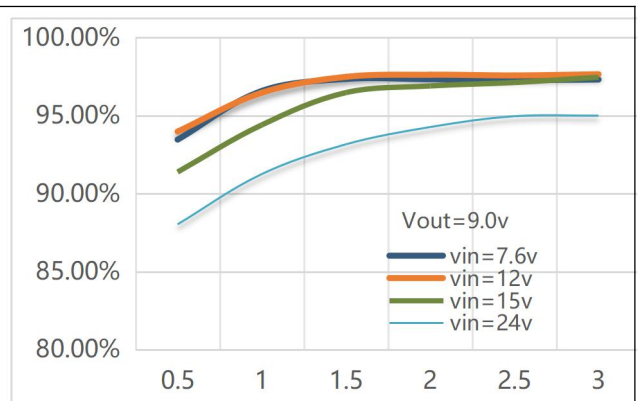


Fig. 8-2 Efficiency

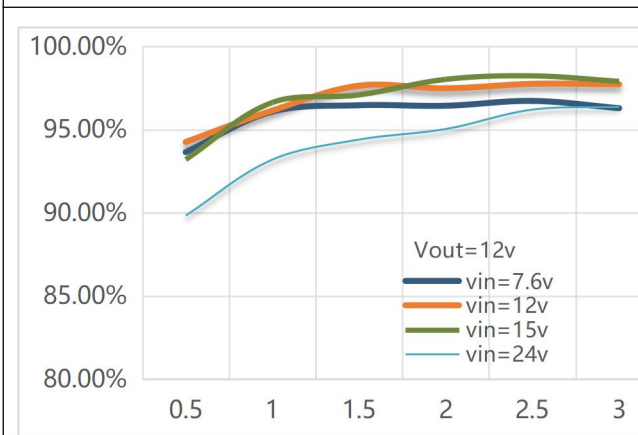


Fig. 8-3 Efficiency

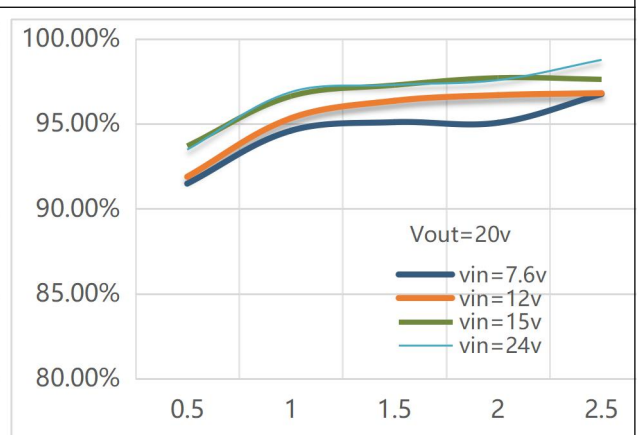
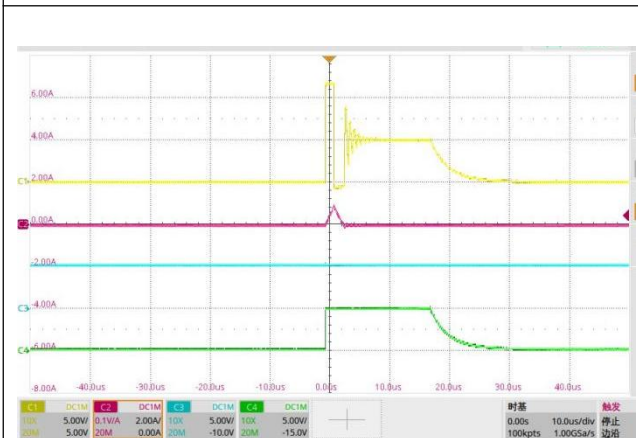
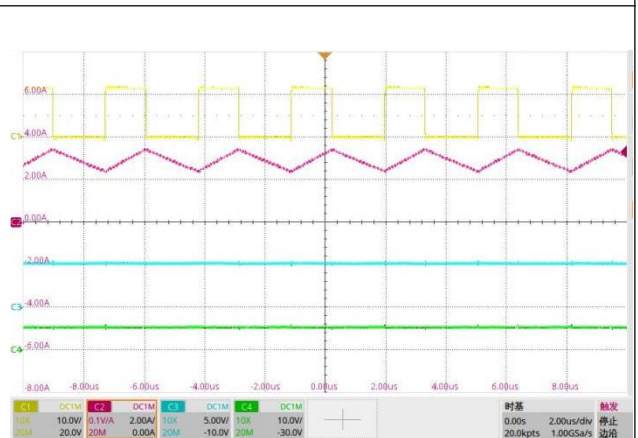


Fig. 8-4 Efficiency



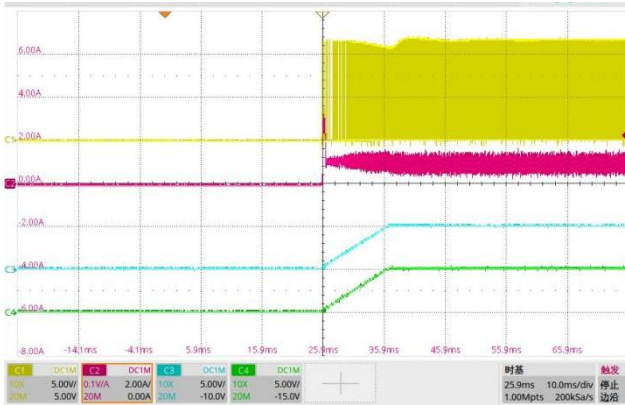
CH1:SW1 CH2:SW2 CH3:Vout CH4:IL
Vin=12V Vout=5V

Fig.8-5 Steady State waveform, Iout=0A

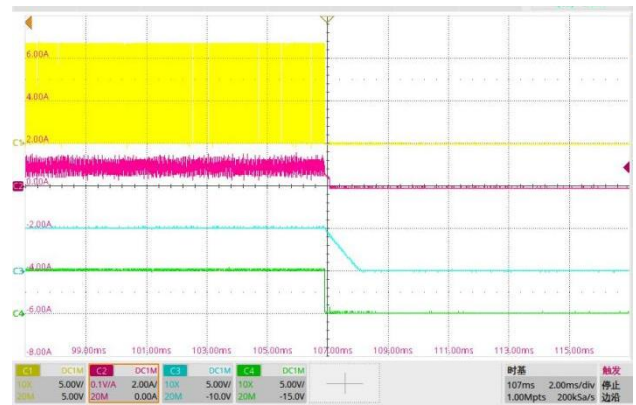


CH1:SW1 CH2:SW2 CH3:Vout CH4:IL
Vin=12V Vout=5V

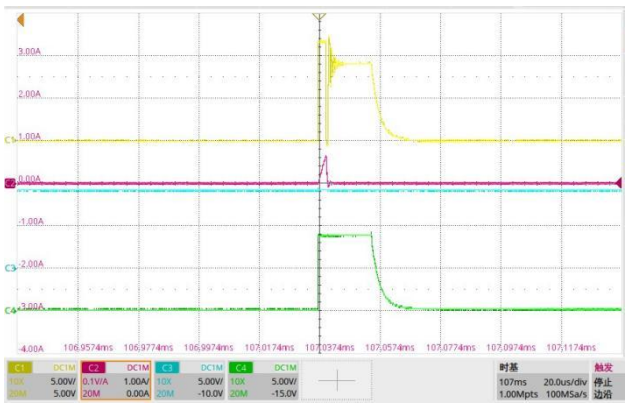
Fig. 8-6 Steady State waveform, Iout=3A



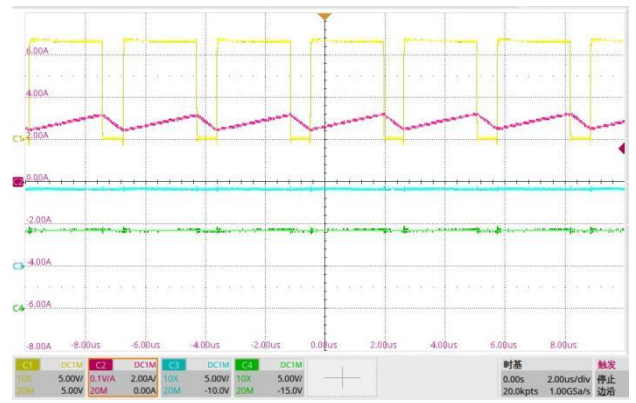
CH1:SW1 CH2:SW2 CH3:Vout CH4:IL
 Vin=12V Vout=5V
Fig.8-7 Start up waveform, Iout =1A



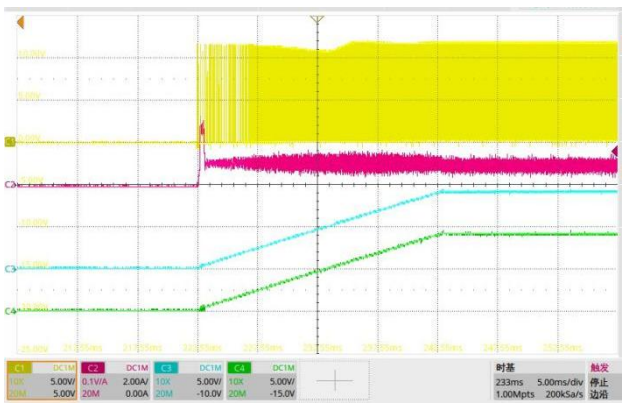
CH1:SW1 CH2:SW2 CH3:Vout CH4:IL
 Vin=12V Vout=5V
Fig.8-8 Shut down waveform, Iout =1A



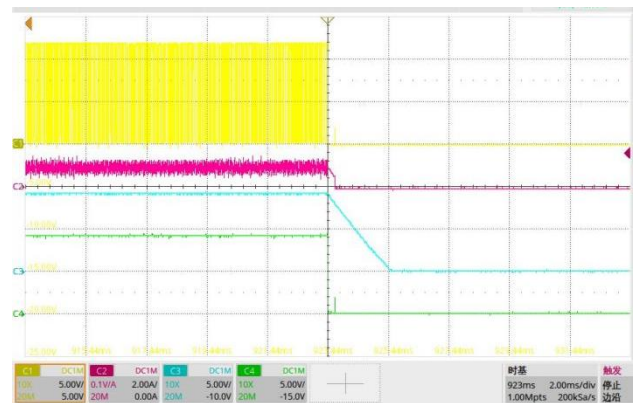
CH1:SW1 CH2:SW2 CH3:Vout CH4:IL
 Vin=12V Vout=9V
Fig. 8-9 Steady State waveform, Iout=0A



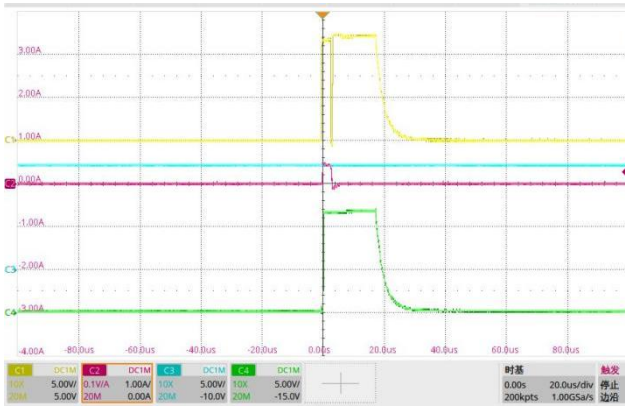
CH1:SW1 CH2:SW2 CH3:Vout CH4:IL
 Vin=12V Vout=9V
Fig. 8-10 Steady State waveform, Iout=3A



CH1:SW1 CH2:SW2 CH3:Vout CH4:IL
 Vin=12V Vout=9V
Fig.8-11 Start up waveform, Iout =1A



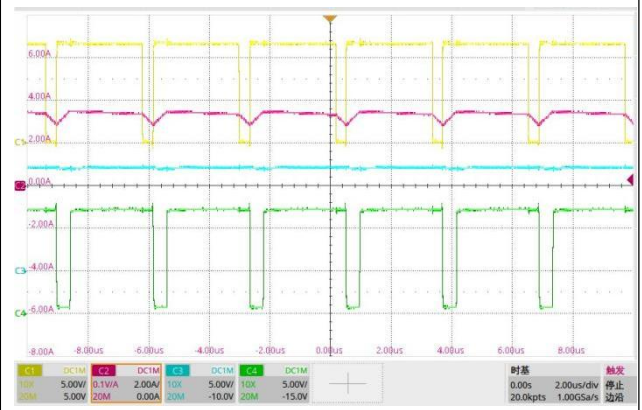
CH1:SW1 CH2:SW2 CH3:Vout CH4:IL
 Vin=12V Vout=9V
Fig.8-12 Shut down waveform, Iout =1A



CH1: SW1 CH2:SW2 CH3:Vout CH4:IL

Vin=12V Vout=12V

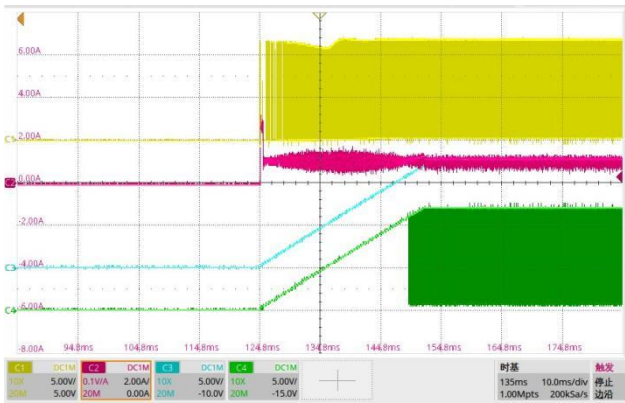
Fig. 8-13 Steady State waveform, Iout=0A



CH1: SW1 CH2:Vout CH3:SW CH4:IL

Vin=12V Vout=12V

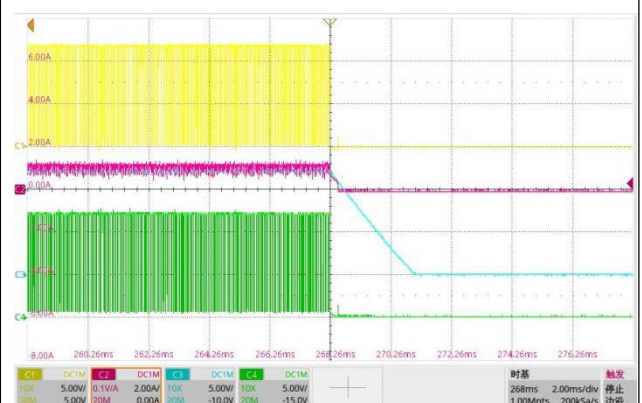
Fig. 8-14 Steady State waveform, Iout=3A



CH1:SW1 CH2:SW2 CH3:Vout CH4:IL

Vin=12V Vout=12V

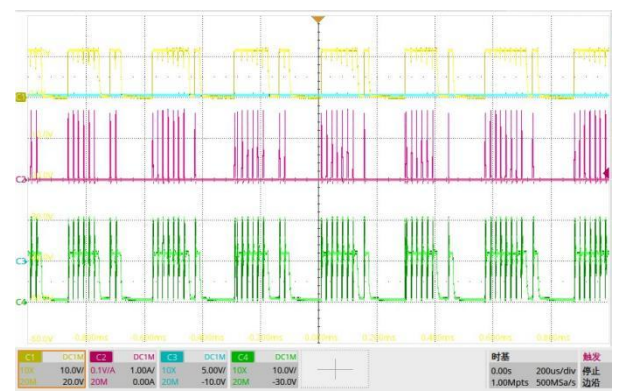
Fig.8-15 Start up waveform, Iout =1A



CH1:SW1 CH2:SW2 CH3:Vout CH4:IL

Vin=12V Vout=12V

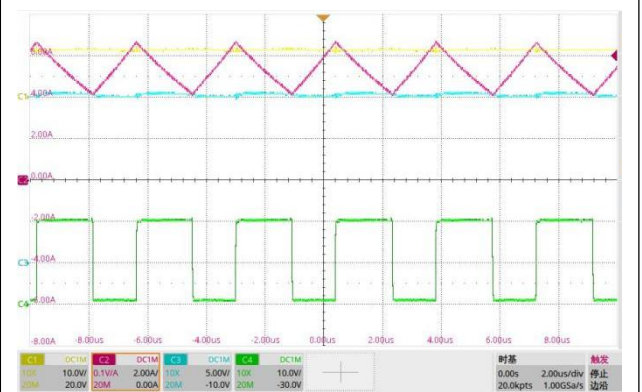
Fig.8-16 Shut down waveform, Iout =1A



CH1: SW1 CH2:SW2 CH3:Vout CH4:IL

Vin=12V Vout=20V

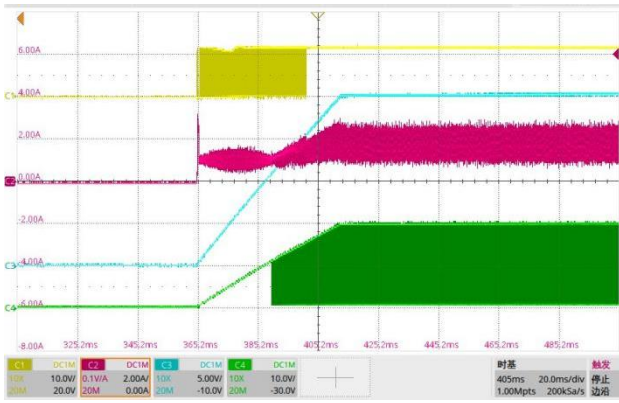
Fig. 8-17 Steady State waveform, Iout=0A



CH1: SW1 CH2:SW2 CH3:Vout CH4:IL

Vin=12V Vout=20V

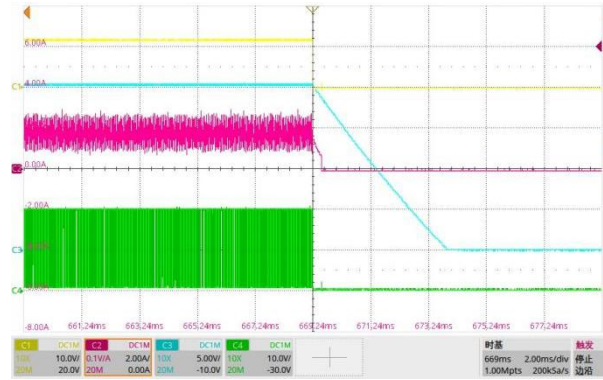
Fig. 8-18 Steady State waveform, Iout=3A



CH1: SW1 CH2:SW2 CH3:Vout CH4:IL

Vin=12V Vout=20V

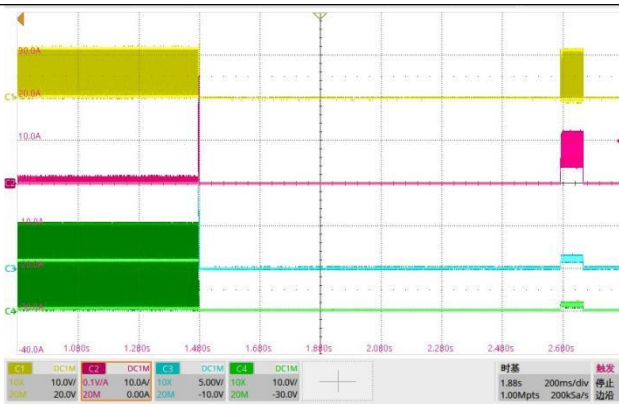
Fig.8-19 Start up waveform, Iout =1A



CH1: SW1 CH2:SW2 CH3:Vout CH4:IL

Vin=12V Vout=20V

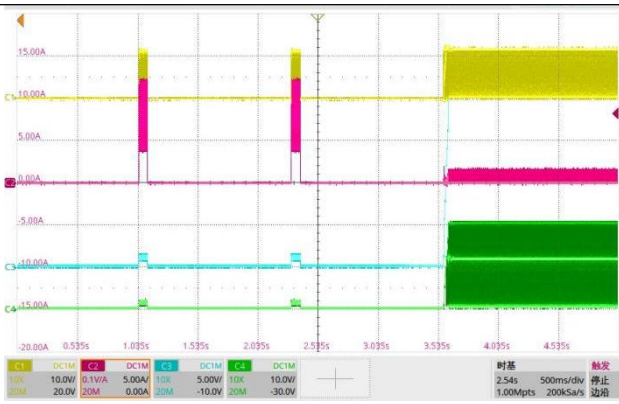
Fig.8-20 Shut down waveform, Iout =1A



CH1: SW1 CH2:SW2 CH3:Vout CH4:IL

Vin=12V Vout=20V

Fig.8-21 Short Circuit waveform



CH1: SW1 CH2:SW2 CH3:Vout CH4:IL

Vin=12V Vout=20V

Fig.8-22 Short Circuit waveform

9 功能描述

9.1 概述

PL62010是一款集成多种快充协议的高效率，同步双向升降压控制器。升降压采用同步4管桥式架构，自主专利的控制方式，自动根据输入、输出电压实现在升压、降压及升降压模式间平滑切换。PL62010拥有涓流充电、恒流充电、恒压充电一套完整的锂电池充电管理系统，支持2-5串锂电池或磷酸铁锂电池充放电。开关频率在150KHz和300KHz可选。PL62010支持多种快充协议，内置高性能MCU，可根据客户需求灵活配置不同应用场景，为各类快充应用构建完整、强大且灵活的升降压充电系统解决方案。PL62010的高度集成简化了外围器件，有效降低产品设计难度和开发周期。

9.2 功能框图

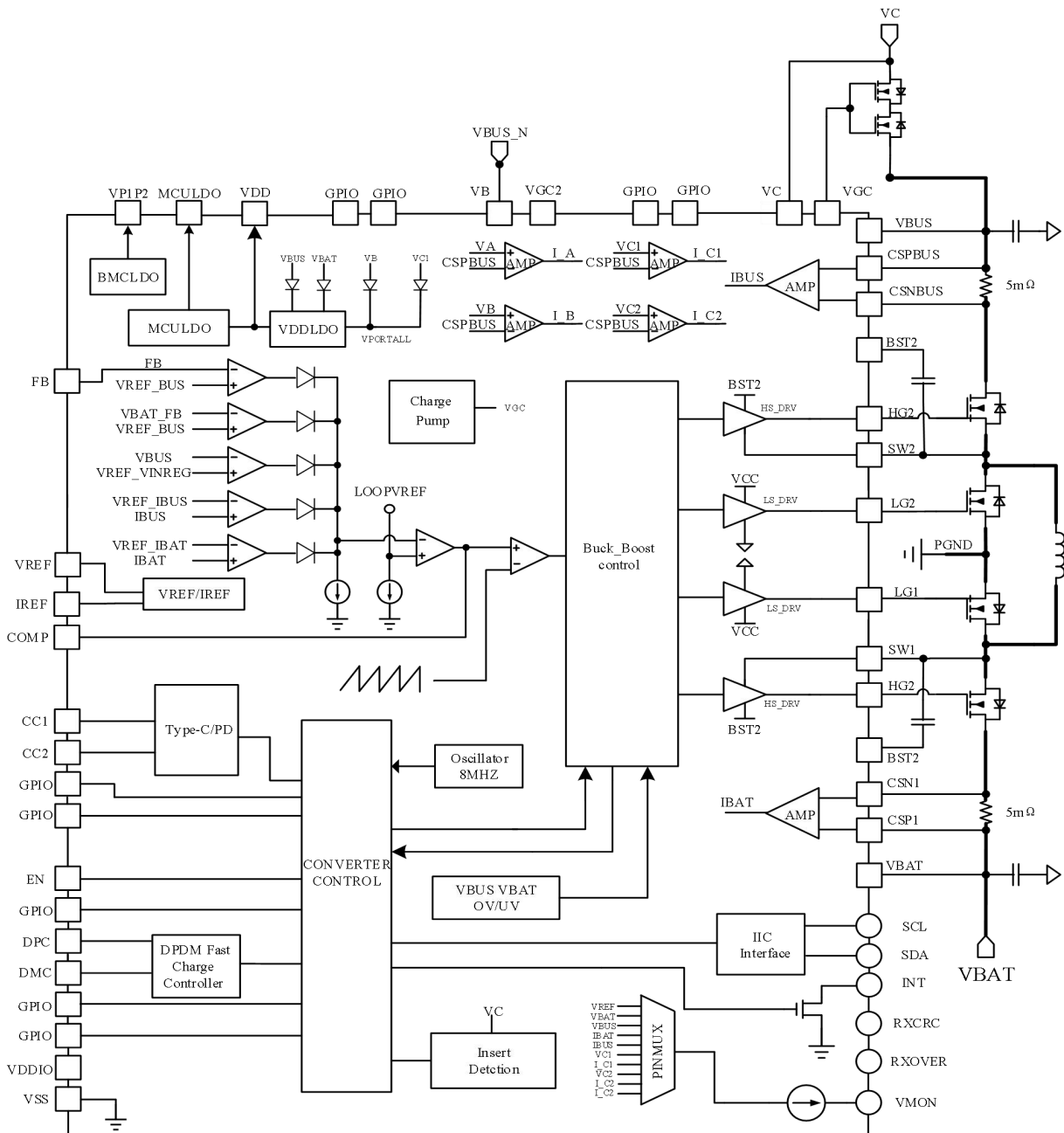


Fig. 9-2-1 PL62010 Diagram

9.3 充电模式

有两个寄存器用于设置充电参数：CHG_CTR1 (0X04H) 和 CHG_CTR2 (0X05H)。为对电池进行充电，需正确设置以下参数：

1. 通过BAT_CELL<2:0>来设置电池组中串联电池的数量。
2. 通过0X2EH寄存器来调节充满电压大小。
3. 将寄存器0X1BH设置为正确的自适应充电电压调节点 (VREG)。
4. 将0X20H<7:6>设为11，即可将IBUS检测增益设置为200。
5. 将0X2DH<4>设置为高电平，以启用总线恒流 (CC) 环路。
6. 为0X08H寄存器设置正确的值，以设定所需的充电电流值。当电池电压较低时，为0X08H寄存器设置较小的值，用于涓流充电阶段。
7. 将0X1CH中的值设为正确数值，即可开启充电端口的开关。
8. 请确保电池类型位0X04H的第7位的值是正确的，用于区分三元锂电池和磷酸铁锂电池。
9. 请确保“OTG”位为“0”状态，以便进行电池充电。

在所有寄存器都正确设置好之后，将EN_DCDC位设为高电平以开启DC-DC电源，并启动为电池充电。在充电过程中，内置的MCU会通过检查状态寄存器和VMONP信号来持续监控整个系统的状态，保证充电过程的可靠性。

FDCM位的默认值为高电平，使得DC-DC工作在强制DCM模式下。在强制DCM模式下启动系统进行电池充电，并将IBUS电流限制值设置为较低值是一个不错的选择。一旦电池电压超过涓流充电阈值，应缓慢将IBUS电流限制值提升至更高的值（推荐将IBUS电流设置为0.5A），然后将FDCM位设置为低电平，使系统顺利工作在CCM模式下。有时，通过将VDCMSET<1: 0> 设置为00来降低DCM-CCM转换点，有助于使系统平稳地从DCM模式过渡到CCM模式。

当电池电压接近满电电压点时，建议通过将0X08H寄存器设置为较低值来缓慢降低IREF。当电感电流降至约0.3A时，将 FDCM位置高电平以强制系统重新进入DCM模式。当电池电压达到VBAT目标值后，系统将进入恒压充电阶段，采用逐渐减小的电流对电池进行充电。当终止电压和终止电流均满足条件时，若ENEOC位为高电平，集成电路将进入充电结束阶段，此时将终止充电过程。

用户可将ENEOC位设为低电平，系统将保持DC-DC工作，持续为电池充电至设定电压。此时，可通过MCU监测电池电压，自主判断何时终止充电。该模式特别适用于TWS等小电流电池充电场景。

若IC在EOC后终止充电，电池电压可能因电池单元漏电或工作电流而下降当VBAT电压降至VRECHG阈值以下时，IC将进入恒流 (CC) 充电阶段以完成电池充电。用户还可通过MCU监测电池电压，当电压达到充电阈值时，由MCU重新启动充电。

充电过程中，若IBUS充电电流超过适配器的承载能力，将导致适配器过载，VBUS电压随之下降。PL62010支持动态电源管理，其允许的充电最低VBUS工作电压由VINREG_SET[2:0]设定。当VBUS电压降至VINREG阈值时，IC会自动降低充电电流。将 VBUS维持在VINREG阈值。若VBUS电压继续低于VINREG阈值，IC将停止充电电流输出。

注释：

1. 设置电池包中串联的电池数量：(0X04H<6:4>) 000: 1 cell; 001: 2 cells; 010: 3 cells; 011: 4 cells; 100: 5 cells; 101: 6 cells;

2. 设置调整电池电压大小公式：

BATTYPE=0时，电池电压大小公式

$$VBAT = \frac{7 * N * [72 + 0.2 * (CTYPE_SET < 4 > * 16 + \dots + CTYPE_SET < 0 > * 1)]}{120} \quad (V)$$

BATTYPE=1时，电池电压大小公式

$$VBAT = \frac{7 * N * [60 + 0.2 * (CTYPE_SET < 4 > * 16 + \dots + CTYPE_SET < 0 > * 1)]}{120} \quad (V)$$

3. 自适应充电电压调节点 (DAC_VREG) 公式：

$$VINREG = 2.048 * \frac{DAC[7] * 128 + DAC[6] * 64 + \dots + DAC[1] * 2 + DAC[0] * 1}{256 * K} \quad (V)$$

$$K = \begin{cases} 4/15 & VREG_SET < 1:0 > = 00; \\ 4/27 & VREG_SET < 1:0 > = 01; \\ 4/36 & VREG_SET < 1:0 > = 10; \\ 4/60 & VREG_SET < 1:0 > = 11; \end{cases}$$

4.设置BUS端充电电流:

$$I_{BUS_SET} = GAIN_{BUS} * R_{SEN} * I_{BUS}$$

$$2.048 * \frac{DAC[11] * 2048 + DAC[10] * 1024 + \dots + DAC[1] * 2 + DAC[0] * 1}{4096} = GAIN_{BUS} * R_{SEN} * I_{BUS}$$

$$I_{BUS} = \frac{DAC[11] * 2048 + DAC[10] * 1024 + \dots + DAC[1] * 2 + DAC[0] * 1}{2000 * GAIN_{BUS} * R_{SEN}}$$

9.4 放电模式

当OTG位设置为1时,集成电路进入放电模式。通过0X06H和0X07H来设定12位DAC输出作为FB的基准电压VREF,若FB_SEL设置为1,分压比例由外围器件决定;若FB_SEL设置为0,则使用内部反馈电阻,该分压比为1/10,默认VBUS输出电压为5V,可按5mV步长从0V调节至20V,具体如下:

$$VBUS = 10 \text{ (分压倍数)} * 2.048 * \frac{DAC[11] * 2048 + DAC[10] * 1024 + \dots + DAC[1] * 2 + DAC[0] * 1}{4096} \text{ (V)}$$

在设置好VREF的值后,用户需将LDVREF位设置为1以加载VBUS设置,否则更改将不会生效。若需要恒流回路,用户需将0X2DH<4>位置高以启用总线恒流(CC)回路。

9.4.1 PFM 模式

为降低开关损耗,IC在轻载条件下采用脉冲-频率调制(PFM)操作以实现放电模式。通过自动降低频率来减少开关损耗,从而在轻载条件下提升效率。用户还可将MODE(0X00H<3>)设置为1,强制系统进入CCM模式。FDCM位优先级高于MODE位,这意味着当FDCM=1时,即使MODE位为高电平,系统仍会以DCM模式运行。

9.4.2 放电模式下的电流限制

当OTG设置为1时,集成电路通过CSNBUS引脚到CSPBUS引脚的电压降监测放电电流(与充电模式方向相反),用户需将位0X2DH<4>置高以启用总线恒流(CC)回路,此时该电流检测输出值用于放电模式电流限制,防止输出电流过高。

9.5 端口控制

该IC为TYPE-C端口NMOS开关管提供栅极驱动。为确保外部NMOS在使用过程中不超过栅氧击穿电压,驱动器内部特意集成了上钳位和下钳位保护机制。在正常开启或关闭状态下,NMOS的驱动电压将被严格控制在栅氧击穿电压范围之内。

端口可采用单NMOS或背靠背NMOS,如典型应用电路所示。为确保安全运行,必须考虑NMOS的VGS额定值。NGATE驱动器由寄存器0X1CH控制。

9.6 充电检测

对于充电端口VC,IC可以检测适配器的连接/断开,并通过寄存器0X36H中的VC1RDY状态位予以指示。

9.7 GPIO 外设

PL62010拥有丰富的GPIO接口,用户可根据实际项目需求,通过SWD(PA13)和SWCLK(PA14)两个引脚烧入程序,配置如灯显方式,NTC检测,串口通讯,I2C通讯等功能,使其灵活适配产品。

10 应用设计

10.1 电感选择

工作频率与电感选择相互关联，高频工作可采用更小的电感和电容值。电感值直接影响纹波电流，通常将电感电流纹波 ΔI_L 设定为升压区 $V_{IN}(\text{MIN})$ 时最大电感电流的20%至40%
对于给定的纹波，连续模式下的电感项如下：

$$L_{\text{BOOST}} > \frac{V_{\text{IN}(\text{MIN})}^2 * (V_{\text{OUT}} - V_{\text{IN}(\text{MIN})}) * 1000}{f^2 * I_{\text{out_max}} * 40\% * V_{\text{OUT}}^2} \text{ H}$$

$$L_{\text{BUCK}} > \frac{V_{\text{OUT}} * (V_{\text{IN}(\text{MAX})} - V_{\text{OUT}}) * 100}{f * \Delta I_L * V_{\text{IN}(\text{MAX})}} \text{ H}$$

f 工作频率， kHz

$V_{\text{IN}(\text{MIN})}$ 为最小输入电压， V

$V_{\text{IN}(\text{MAX})}$ 为最大输入电压， V

V_{OUT} 输出电压， V

ΔI_L 为最大电感纹波电流， A，通常选择最大输出电流的20%~40%

为确保高效性能，应选用铁氧体等低磁芯损耗的电感器。同时，电感器需具备低直流电阻特性以降低 I^2R 损耗，并能承受峰值电流而不饱和。为最大限度减少辐射噪声，建议采用环形电感、电位器芯或屏蔽骨架电感器。

10.2 输入电容和输出电容选择

升压区输入电流为连续波，而降压区则为不连续波。降压区中，输入电容 C_{IN} 的选择需满足滤波输入方波电流的要求，应选用低等效串联电阻（ESR）且额定值可承受最大均方根电流的电容。降压区的输入均方根电流计算公式为：

$$I_{\text{CIN}} = I_{\text{OUT}(\text{MAX})} \times \sqrt{\frac{V_{\text{OUT}}}{V_{\text{IN}}} \times \left(1 - \frac{V_{\text{OUT}}}{V_{\text{IN}}}\right)}$$

该输入电流在 $V_{\text{IN}} = 2V_{\text{OUT}}$ ， $I_{\text{CIN}(\text{MAX})} = I_{\text{OUT}(\text{MAX})}/2$ 。

在升压区，由于输出电流不连续，输出电压纹波必须能够被 C_{OUT} 有效抑制。在选择合适电容器时，需综合考虑等效串联电阻（ESR）和体电容对输出纹波电压的影响。体电容充放电产生的稳态纹波可通过以下公式计算：

$$\Delta V_{(\text{BOOST,Cap})} = \frac{I_{\text{OUT}(\text{MAX})} * (V_{\text{OUT}} - V_{\text{IN}(\text{MIN})})}{C_{\text{OUT}} * V_{\text{OUT}} * f} \text{ V}$$

其中 C_{OUT} 为输出滤波电容。

ESR 两端电压降引起的稳定纹波由下式给出：

$$\Delta V_{(\text{BOOST,ESR})} = I_{\text{OUT}(\text{MAX,BOOST})} * \text{ESR}$$

在BUCK模式下， V_{OUT} 纹波由以下公式给出：

$$\Delta V_{\text{OUT}} \leq \Delta I_L * \left(\text{ESR} + \frac{1}{8 * f * C_{\text{OUT}}} \right)$$

为满足等效串联电阻（ESR）和均方根电流（RMS）承载要求，可能需要并联多个电容器。

10.3 功率MOSFET的选择和效率考虑

PL62003 需配置四个外部 N 沟道功率 MOSFET，其中两个作为上管（开关 Q1 与 Q4，见图 1），两个作为下管（开关 Q2 与 Q3，见图 1）。功率 MOSFET 的关键参数包括：击穿电压 $V_{\text{BR,DSS}}$ 、阈值电压 $V_{\text{GS,TH}}$ 、导通电阻 $R_{\text{DS(ON)}}$ 、反向传输电容 C_{RSS} 及最大电流 $I_{\text{DS(MAX)}}$ 。其驱动电压由 V_{CC} 电源设定。

为正确选型功率 MOSFET，必须明确器件的功率损耗。对于开关管 Q1，其最大功耗出现在升压区持续导通时。在最大输出电流条件下的功耗计算公式如下：

$$P_{Q1,BOOST} = \left(\frac{V_{OUT}}{V_{IN}} * I_{OUT(MAX)} \right)^2 * k * R_{DS(ON)}$$

其中，k为归一化因子（在 25° C时取值为1），用于量化导通电阻随温度的显著变化。为达到 125° C 的最高结温要求，通常取 k = 1.5以体现温度对电阻的影响。RDS（ON）为 25° C 基准温度下的归一化阻值。

开关管Q2在降压区作为同步整流器工作，其在最大输出电流条件下的功率损耗计算公式如下：

$$P_{Q2,BUCK} = \frac{V_{IN}-V_{OUT}}{V_{IN}} * I_{OUT(MAX)}^2 * k * R_{DS(ON)}$$

开关管 Q3 在升压区作为控制开关工作，其在最大电流条件下的功率损耗计算公式如下：

$$P_{Q3,BOOST} = \frac{(V_{OUT}-V_{IN}) * V_{OUT}}{V_{IN}^2} * I_{OUT(MAX)}^2 * k * R_{DS(ON)} + r * V_{OUT}^3 * \frac{I_{OUT(MAX)}}{V_{IN}} * C_{RSS} * f$$

其中，CRSS 参数通常由 MOSFET 制造商提供。常数 r 用于表征反向恢复电流引起的损耗，其值与栅极驱动电流成反比，经验取值为 1.7。

对于开关管 Q4，其最大功耗出现在升压区且占空比高于 50% 时。在最大输出电流条件下的功耗计算公式如下：

$$P_{Q4,BOOST} = \frac{V_{IN}}{V_{OUT}} * \left(\frac{V_{OUT}}{V_{IN}} * I_{OUT(MAX)} \right)^2 * k * R_{DS(ON)}$$

在相同输出电压与电流条件下，除非输出端发生短路，否则开关管Q1的功耗最高，而开关管Q2的功耗最低。根据功率 MOSFET 的已知损耗，可通过以下公式计算其结温：

$$T_j = T_a + P * \theta_{TH(JA)}$$

公式中采用的热阻 $\theta_{TH(JA)}$ 通常包含器件本身的热阻 $\theta_{TH(JC)}$ 以及外壳至环境的热阻 $\theta_{TH(JC)}$ 。计算得到的Tj 值可与迭代计算过程中初始假设的 Tj 值进行比较。基于特定 MOSFET 的结温要求与稳压器效率指标，即可筛选出合适的器件型号。

10.4 二极管选择

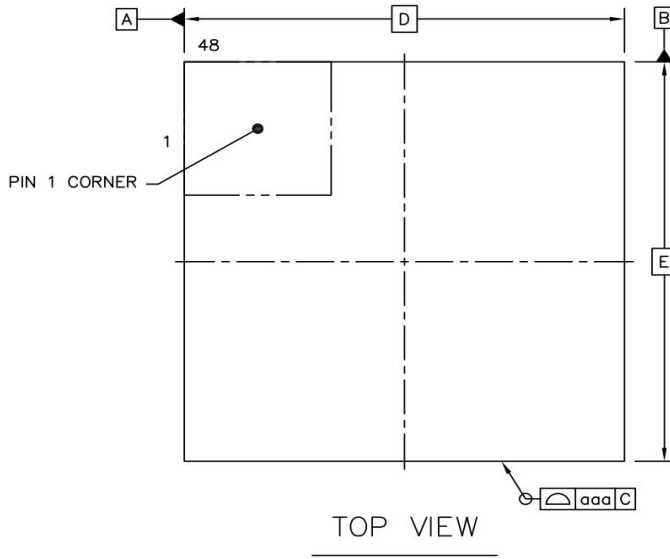
PL62010使用VINALL引脚为内部驱动电路和低压稳压器（LDO）供电；若充电端口采用背靠背隔离，则该端口电压也应通过二极管连接至VINALL引脚。

12 PCB Layout

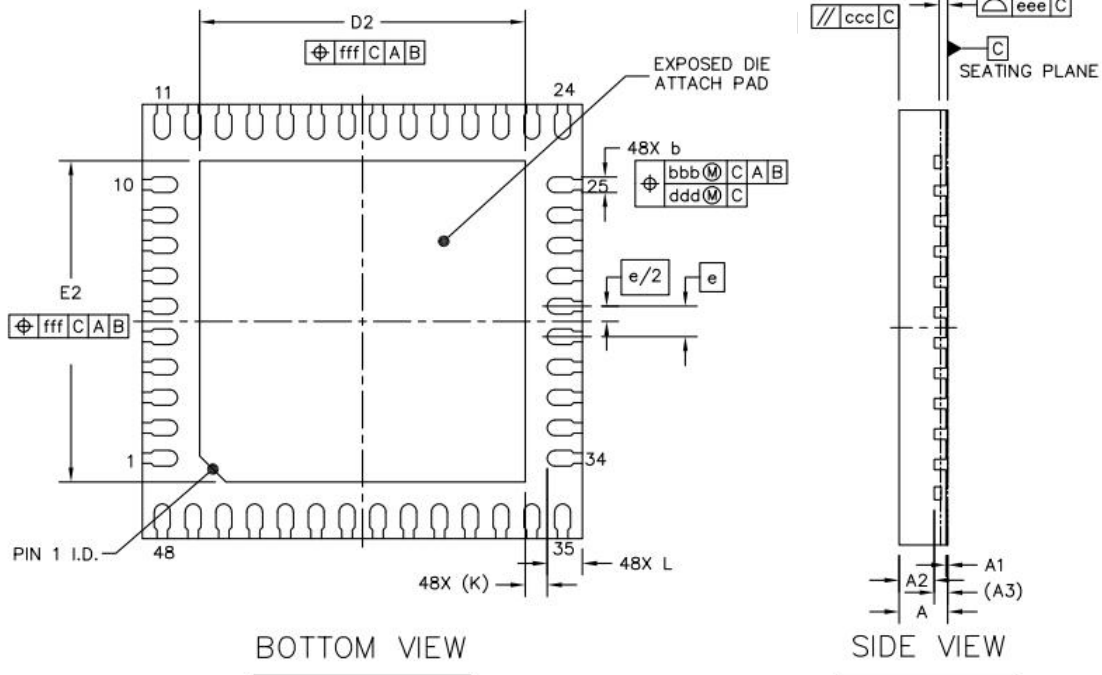
布局是电源设计的关键环节,以下指导原则将帮助用户设计出具有最佳电源转换性能、热性能以及最小化 EMI 的 PCB。

1. 输入旁路电容应尽可能靠近 VBUS 引脚和接地引脚放置,以实现输入噪声的去耦。
2. 输出旁路电容应尽可能靠近 VBAT 引脚并接地,以消除输出噪声干扰。
3. 输入和输出电容器的接地应采用局部化顶部平面结构,需连接 GND 引脚和焊盘。
4. 电感器 L 应置于 SW 引脚附近,以降低磁噪声和静电噪声。
5. CSP1、CSN1、CSPBUS、CSNBUS 应直接连接至检测电阻端,并采用开尔文连接方式对称地引出至 IC。
6. 最好将电感、功率 MOSFET、输入体电容和输出体电容分开,以实现良好的热平衡。
将 IC 远离电感器和功率 MOSFET,并保证良好的接地平面。

13 封装信息



	SYMBOL	MIN	NOM	MAX
TOTAL THICKNESS	A	0.5	0.55	0.6
STAND OFF	A1	0	0.02	0.05
MOLD THICKNESS	A2	---	0.4	---
L/F THICKNESS	A3	0.152 REF		
LEAD WIDTH	b	0.13	0.18	0.23
BODY SIZE	X	D		
	Y	E		
LEAD PITCH	e			
	0.35 BSC			
EP SIZE	X	D2	3.6	3.7
	Y	E2	3.6	3.7
LEAD LENGTH	L	0.3	0.4	0.5
LEAD TIP TO EXPOSED PAD EDGE	K	0.25 REF		
PACKAGE EDGE TOLERANCE	aaa	0.1		
MOLD FLATNESS	ccc	0.1		
COPLANARITY	eee	0.08		
LEAD OFFSET	bbb	0.07		
	ddd	0.05		
EXPOSED PAD OFFSET	fff	0.1		



免责声明

Powlicon 微电子有限公司对本文件中可能出现的任何错误概不负责。Powlicon 微电子有限公司保留随时修改本文所述器件或规格的权利，恕不另行通知。Powlicon 微电子有限公司概不承担因使用本文所述任何产品而产生的任何责任；本文档既不默示任何专利许可，亦不涉及第三方知识产权。未经 Powlicon 微电子有限公司首席执行官书面批准，严禁将本系列产品用于生命维持设备或系统中的关键部件。用户在使用此类产品时需自行承担全部风险，且同意不就任何损害向 Powlicon 微电子有限公司追责。