集成升降压控制器及双向 PD3.0 等多种快充协议的 SOC

1 特性

- 集成全协议双向升降压充放电控制器
- 支持Sink、Source、DRP三种电源角色
- 充电管理包含涓流充电、恒流充电、恒压充电和自动判饱功能
- 宽VBUS和VBAT电压范围，工作范围高达32V
- 支持2~5串电池充放电管理
- 支持4.2V锂电池和3.5V磷酸铁锂电池充电
- 单节锂电池充满电压可设置4.1~4.4V
- 单节磷酸铁锂电池充满电压可设置3.5~3.7V
- 可编程开关频率 150KHz和300KHz
- 12-bit DAC转换器可设置电流10mA/step
- 12-bit DAC转换器可设置电压5mV/step
- 可编程设置线损补偿
- 内置抖频技术，有效降低EMI干扰
- 支持输入过压、欠压保护，输出过流短路保护
- 协议支持PD3.1、QC3.0、AFC、SCP、FCP、BC1.2等协议

2 应用场景

- 移动电源
- 锂电池充电
- 电动工具

3 描述

PL62010 是一款高性能数模混合的升降压控制器，内置 PD3.0、QC3.0、AFC、FCP、SCP、BC1.2 等多种快充协议。通过自主专利的升降压控制模式，从而实现在升压、降压、升降压平滑切换，采用 COT 架构和内置 2A 的栅极驱动电路，从而实现高效率的、大功率的负载输出；开关频率可编程设置 150KHz、300KHz，内置动态输出调压和输出恒流控制，可精准实现 PPS 功能。

PL62010 内置 ARM Cotex-M0 内核，最高工作频率 48MHz，支持 I2C、UART、GPIO 等通用外设接口，可在线仿真、升级，根据客户需求灵活配置不同的应用场景。内置 12bit ADC，可以精确测量 VBUS 端和 VBAT 端电压和电流。PL62010 内置电量计算法，外部可通过串口、I2C 获取电池电量、充电电压、充电电流等信息。

PL62010 支持欠压保护、过压保护、过流保护、短路保护和过温保护，以确保在不同异常情况下系统的安全。

PL62010 的高集成度和丰富的功能，有效的降低了系统的复杂性并减少方案成本，非常适合用于电池充放电管理的应用场景。

4 典型应用原理图

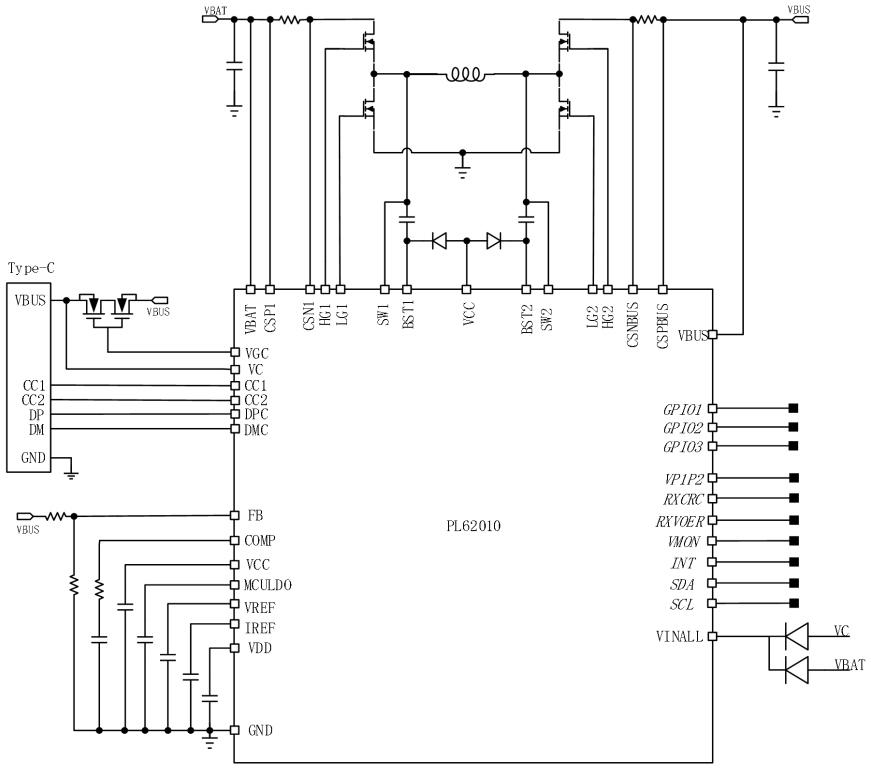


图 4-1. 典型应用图

© Powlicon Microelectronics Co., Ltd.

5 引脚配置与功能

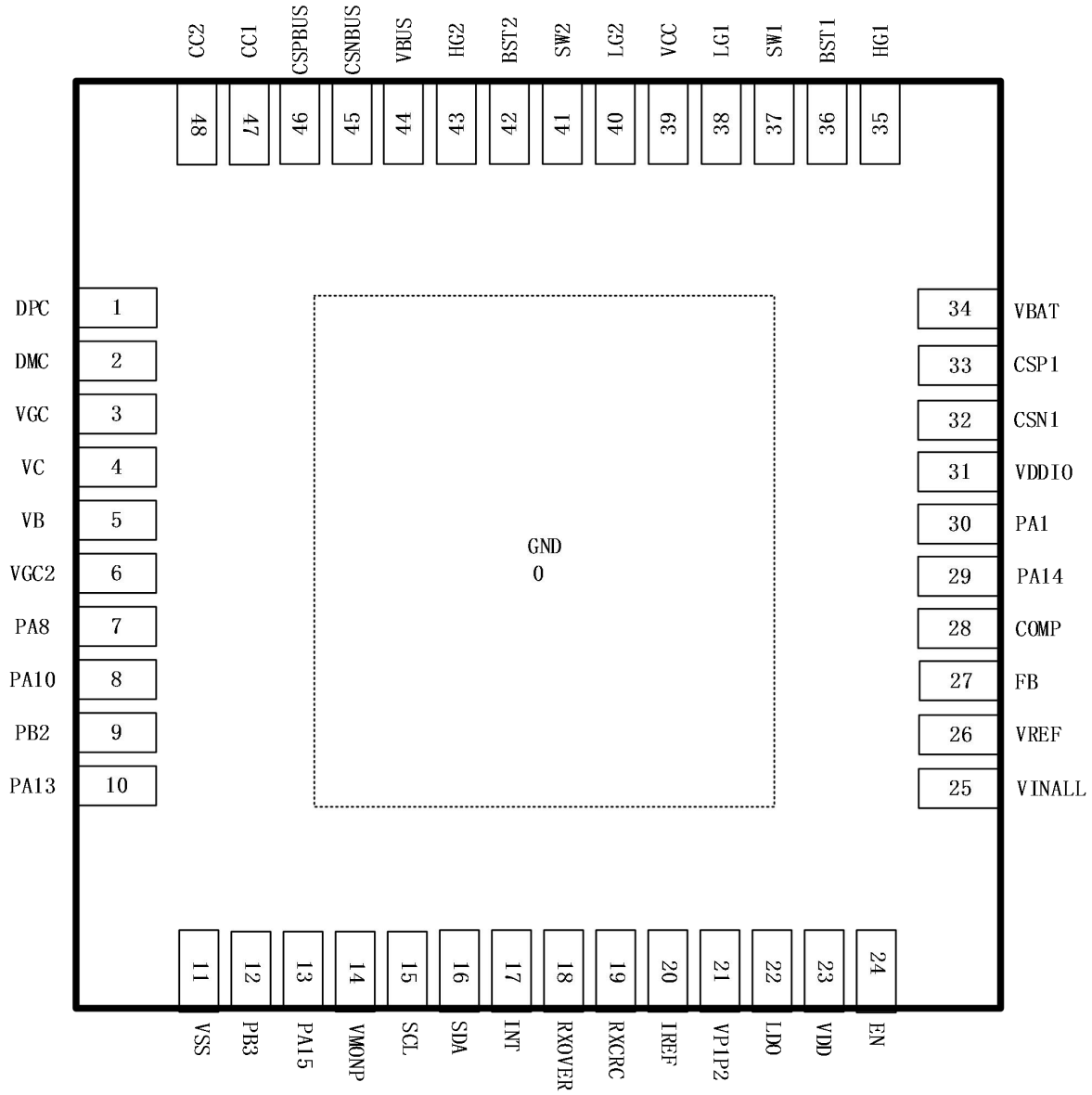


图 5-1. 顶部视图

表 5-1 PL62010 引脚定义

引脚		描述
编号	名称	
0	GND	系统地和散热地，需要保持与 GND 良好接触
1	DPC	TYPE-C 口快充识别 D+
2	DMC	TYPE-C 口快充识别 D-
3	VGC	TYPE-C 端口 MOS 驱动引脚
4	VC	TYPE-C 端口电压检测
5	VB	悬空
6	VGC2	悬空
7	PA8	GPIO
8	PA10	GPIO

© Powlicon Microelectronics Co., Ltd.

9	PB2	GPIO
10	PA13	固件烧录引脚，SWDIO
11	VSS	模拟地
12	PB3	GPIO
13	PA15	GPIO
14	VMONP	电压电流信号检测，外接 RC 滤波
15	SCL	I2C 时钟线，外接 10K 电阻上拉
16	SDA	I2C 数据线，外接 10K 电阻上拉
17	INT	中断信号，外接 10K 电阻上拉
18	RXOVER	协议数据传输信号
19	RXCRC	测试点，悬空
20	IREF	测试点，悬空
21	VP1P2	内部数字电路 1.2V 电压源
22	MCULDO	3.3V 电压输出，为 MCU 供电
23	VDD	内部模拟电路 5V 电压源
24	EN	DC-DC 控制器使能脚，高电平使能，EN 内部由 5M 电阻上拉
25	VINALL	芯片供电引脚
26	VREF	电压控制回路的参考电压
27	FB	VBUS 电压反馈
28	COMP	误差放大器输出兼 PWM 比较器输入。将补偿元件连接到该引脚
29	PA14	固件烧录引脚，SWCLK
30	PA1	连接至 RXOVER
31	VDDIO	连接至 MCULDO
32	CSN1	电池端电流采样负端
33	CSP1	电池端电流采样正端
34	VBAT	电池电压输入
35	HG1	高侧 MOS 栅极驱动 1
36	BST1	高侧 MOS 驱动自举电压 1
37	SW1	开关节点 1
38	LG1	低侧 MOS 栅极驱动 1
39	VCC	MOS 驱动电压源
40	LG2	低侧 MOS 栅极驱动 2
41	SW2	开关节点 2
42	BST2	高侧 MOS 驱动自举电压 2
43	HG2	高侧 MOS 栅极驱动 2
44	VBUS	VBUS 电压输入
45	CSNBUS	VBUS 端电流采样负端
46	CSPBUS	VBUS 端电流采样正端
47	CC1	TYPE-C 口 CC 信号 1
48	CC2	TYPE-C 口 CC 信号 2

© Powlicon Microelectronics Co., Ltd.

6 产品信息

表 6-1. 产品标识信息

器件名称	订购信息	封装	包装	丝印
PL62010	PL62010IQN48A	QFN5X5-48	5000	62010 RAAYMD

PL62010:Part Number
RAAYMD: RAA: LOT NO.; YMD: Package Date

© Powlicon Microelectronics Co., Ltd.

7 电气规格

7.1 绝对最大额定值 (Note1)

表 7-1-1. 绝对最大额定值

	参数	最小值	最大值	单位
Voltage range at terminals (Note2)	VC, VBUS, VBAT, VINALL, CSP1, CSN1, CSPBUS, CSNBUS, SW1, SW2	-0.3	40	V
	VB	-0.3	30	
	VGC-VC	-0.3	15	
	VGC-VBUS	-0.3	15	
	BST1 to SW1, BST2 to SW2	-0.3	7	
	HG1 to SW1, HG2 to SW2	-0.3	7	
	CC1, CC2, DPC, DMC	-0.3	22	
	COMPI, VMONP, SCLP, SDAP, INTP, RXOVER, RXCRC, IREF, VP1P2, MCULDO, VDD, VREF, LG1, LG2	-0.3	6.5	
	Others	-0.3	6.5	

7.2 耐受等级

表 7-2-1 耐受等级

参数	定义	最小值	最大值	单位
T_{ST}	储存温度范围	-65	150	°C
T_J	结温		+160	°C
T_L	焊接温度		+260	°C
V_{ESD}	HBM	2	4	kV
	CDM		500	V

7.3 推荐工作条件 (Note 2)

表 7-3-1 推荐工作条件

	参数	最小值	最大值	单位
Voltage range at terminals(Note2)	VC, VBUS, VBAT, CSP1, CSN1, CSPBUS, CSNBUS, SW1, SW2, VINALL	-0.3	32	V
	VB	-0.3	28	
	VGC-VC	-0.3	12	
	VGC- VBUS	-0.3	12	
	BST1 to SW1, BST2 to SW2	-0.3	6.5	
	HG1 to SW1, HG2 to SW2	-0.3	6.5	
	CC1, CC2, DPC, DMC	-0.3	20	
	COMPI,VMONP, SCLP, SDAP, INTP, RXOVER, RXCRC, IREF, VP1P2, MCULDO, VDD, VREF, LG1, LG2	-0.3	6.5	
	Others	-0.3	6.5	

© Powlicon Microelectronics Co., Ltd.

7.4 热性能参数(Note 3)

表 7-4-1 热性能参数

符号	描述	QFN5x5-48	单位
θ_{JA}	Junction to ambient thermal resistance	43	°C/W
θ_{JC}	Junction to case thermal resistance	8	

Notes:
1) 超过正常范围可能会损坏 IC
2) 在推荐的工作条件之外，不能保证 IC 的功能
3) 在 1 盎司铜箔上测试

7.5 电气特性（TJ = 25°C，除非特别说明）

表 7-5-1 电气特性

符号	参数	测试条件	最小	典型	最大	单位
Power supplies						
VBUS	Input voltage on VBUS		4.6		32	V
VBAT	Input voltage on VBAT		4.6		32	V
VINALL	Input voltage on VINALL		4.6		32	V
V_{UVLO_VBUS}	VBUS under-voltage lockout threshold	Charging mode, rising edge		3.5		V
		Hysteresis		180		mV
V_{UVLO_VBAT}	VBAT under-voltage lockout threshold	Discharging mode, Rising edge		3.2	3.3	V
		Hysteresis		220		mV
V_{UVLO_VINALL}	VINALL under-voltage lockout threshold			1.2		V
$I_{Q_shutdown}$	shutdown current	VBAT= 8.4V, EN = 0		0	1	μA
I_{Q_stdby}	Standby current	VBAT= 8.4V, GOACTIVE = 0		60	80	μA
I_{Q_noclk}	Quiescent current with digital CLK disabled	VBAT= 8.4V, GOACTIVE = high, DISCLK = high, ENDCDC=low		2		mA
I_{Q_nodcdc}	Quiescent current with DC-DC disabled	VBAT= 8.4V, GOACTIVE = high, DISCLK = low, ENDCDC=low		12		mA
V_{DD}	VDD regulation voltage	VINALL = 12V, I_{VDD} = 1~70mA	4.9	5.1	5.35	V
I_{VDD_LIM}	VDD regulator current limit	VINALL = 12V, VDD = 4V	40	80	120	mA
V_{MCULDO}	LDO regulation voltage	LDO set to 3.3V, ILDO = 1~50mA	3.23	3.30	3.37	V
V_{VP1P2}	1.2V power supply for BMC voltage	VINALL = 12V, connect 1uF from VP1P2 pin to GND		1.2		V
V_{VCC}	Power supply for buck-boost drivers	VBAT = 12V, connect 1uF from VCC pin to GND。		6.6		V
Vcp	Charge pump voltage	VBAT = 8.4V, VBUS=0V		7		V
Oscillators						
F_{SW}	Switching frequency	FSW_SET = 00		150		kHz
		FSW_SET = 01		300		kHz
F_{CLK_1ms}	1ms CLK for CC scan and timer			1		kHz
F_{CLK_Dig}	CLK for digital core			8000		kHz
Battery Charging						
V_{BAT_chg}	Battery full-charge voltage	1 cell		4.2		V
		2 cell		2*4.2		V
		3 cell		3*4.2		V
		4 cell		4*4.2		V

© Powlicon Microelectronics Co., Ltd.

		5 cell		5*4.2		V
V_{BAT_chg3p5}	Battery full-charge voltage for 3.5V battery cell	1 cell		3.5		V
		2 cell		2*3.5		V
		3 cell		3*3.5		V
		4 cell		4*3.5		V
		5 cell		5*3.5		V
V_{INREG}	VINREG voltage regulation	VREG_SET = 00,	4.4	4.5	4.6	V
		VREG_SET = 01	8	8.1	8.2	V
		VREG_SET = 10	10.7	10.8	10.9	V
		VREG_SET = 11	17.9	18	18.1	V
V_{EOC}	End of charge voltage threshold		98	99	100	%
V_{RECHG}	Recharge threshold		96.0	97.6	98.8	%
V_{CHG_OV}	Battery over charge voltage			105%		
Discharging mode						
V_{VREF}	Reference voltage for voltage loop			2.0		V
V_{IREF}	Reference voltage for current loop			2.0		V
I_{SINK_COMPI}	COMPI sink current	VFB=VREF+100mV		15		uA
I_{SOUR_COMPI}	COMPI source current	VFB=VREF-100mV		20		uA
Port detection						
V_{C1_RDY}	Plug-in detection threshold for port C1 used as charging port		4.3	4.4	4.5	V
I_{COM}	Small current detection threshold for I_{BUS}	Falling edge	10	50	80	mV
PD protocol						
I_{PU_CC13A}	Pull up current for CC1 in 3A mode			330		uA
$I_{PU_CC11p5A}$	Pull up current for CC1 in 1.5A mode			180		uA
I_{PU_CC1USB}	Pull up current for CC1 in default USB mode			80		uA
I_{PU_CC23A}	Pull up current for CC2 in 3A mode			330		uA
$I_{PU_CC21p5A}$	Pull up current for CC2 in 1.5A mode			180		uA
I_{PU_CC2USB}	Pull up current for CC2 in default USB mode			80		uA
R_{d_cc1}	R_d pull down resistor on CC1			5.6		kΩ
R_{d_cc2}	R_d pull down resistor on CC2			5.6		kΩ
Cut-off switch control						
$I_{TURNONC}$	C1 port cut-off switch turn on current			1		uA
I²C						
V_{IL}	SCLP, SDAP input low voltage				0.4	V
V_{IH}	SCLP, SDAP input high voltage		1.2			V
THERMAL SHUTDOWN						
T_{SD}	Thermal shutdown temperature	Rising		165		°C
		Hysteresis		15		°C

Note:设计中保证，非生产测试

© Powlicon Microelectronics Co., Ltd.

8 典型工作曲线

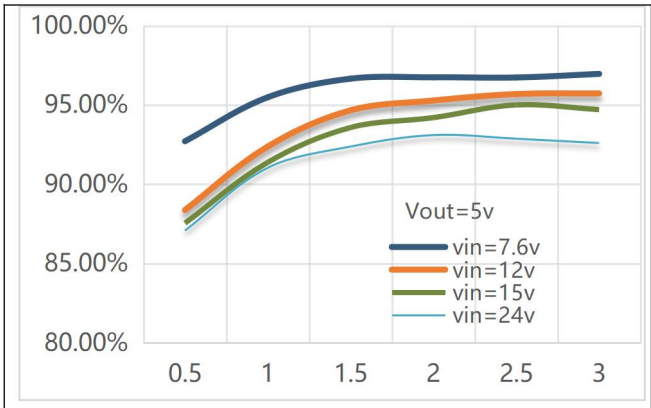


图 8-1. 5V 输出效率

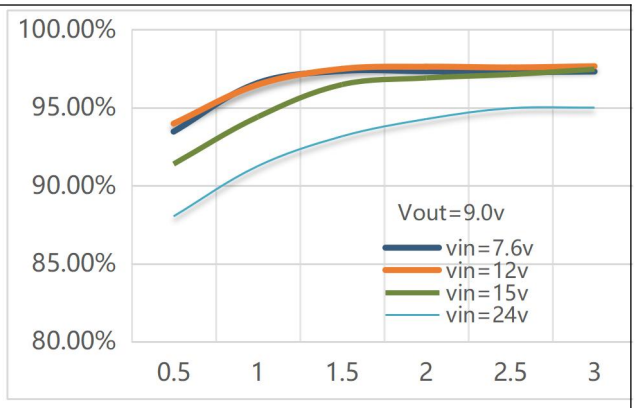


图 8-2. 9V 输出效率

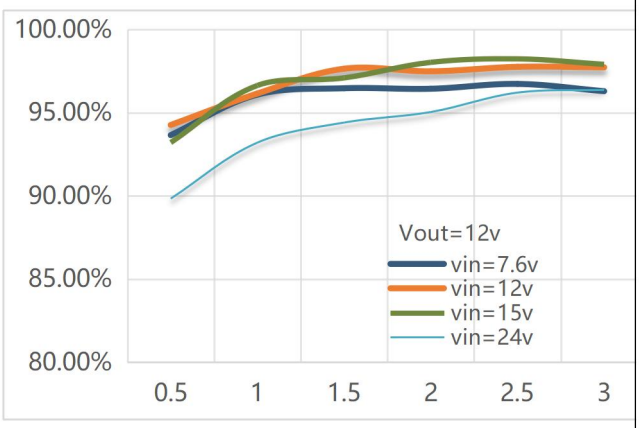


图 8-3. 12V 输出效率

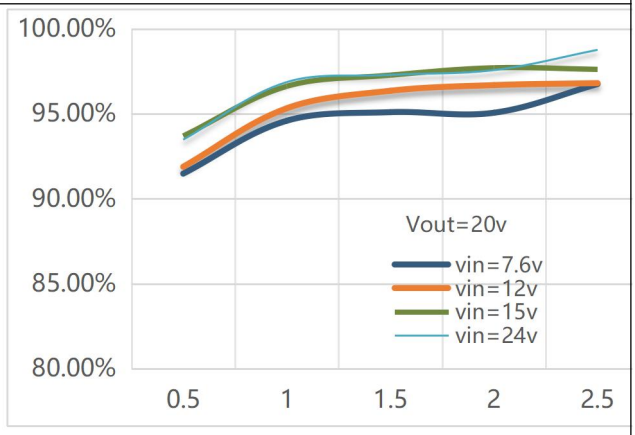
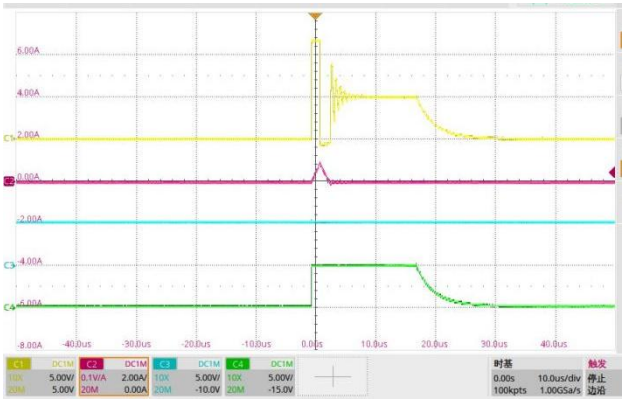


图 8-4. 5V 输出效率



CH1:SW1 CH2:SW2 CH3:Vout CH4:IL

Vin=12V Vout=5V

图 8-5. Steady State waveform, Iout=0A

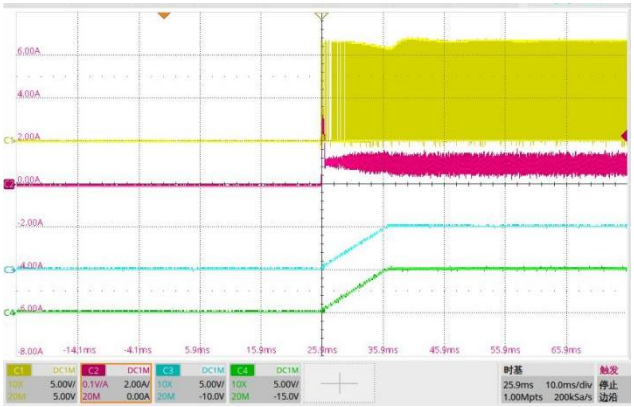


CH1:SW1 CH2:SW2 CH3:Vout CH4:IL

Vin=12V Vout=5V

图 8-6. Steady State waveform, Iout=3A

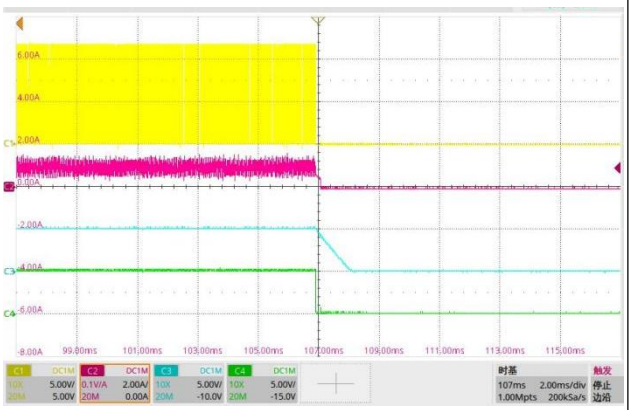
© Powlicon Microelectronics Co., Ltd.



CH1:SW1 CH2:SW2 CH3:Vout CH4:IL

Vin=12V Vout=5V

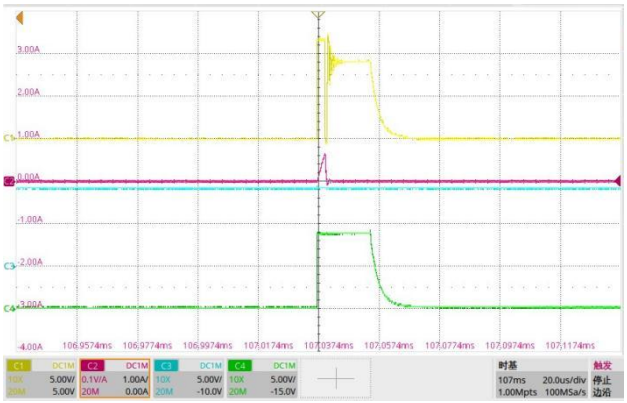
图 8-7. Start up waveform, Iout =1A



CH1:SW1 CH2:SW2 CH3:Vout CH4:IL

Vin=12V Vout=5V

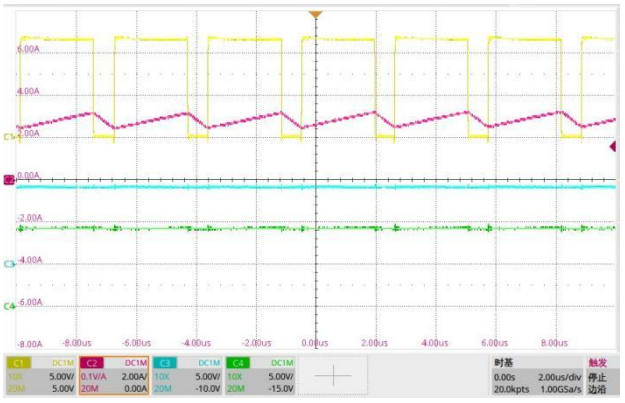
图 8-8. Shut down waveform, Iout =1A



CH1:SW1 CH2:SW2 CH3:Vout CH4:IL

Vin=12V Vout=9V

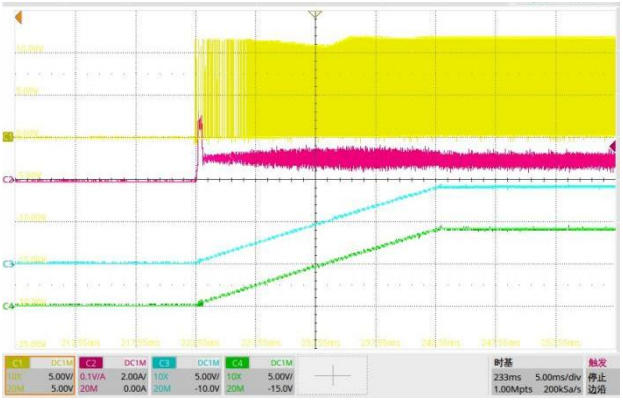
图 8-9. Steady State waveform, Iout=0A



CH1:SW1 CH2:SW2 CH3:Vout CH4:IL

Vin=12V Vout=9V

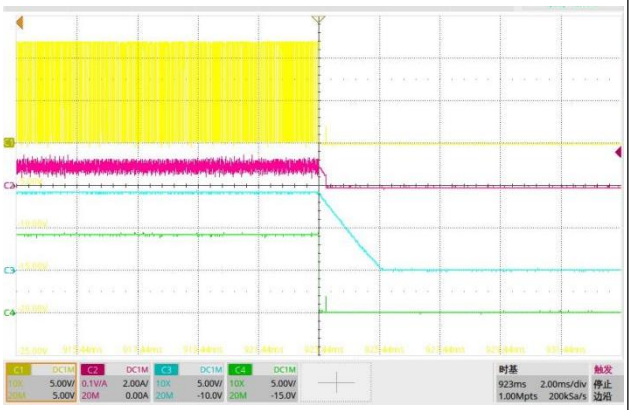
图 8-10. Steady State waveform, Iout=3A



CH1:SW1 CH2:SW2 CH3:Vout CH4:IL

Vin=12V Vout=9V

图 8-11. Start up waveform, Iout =1A

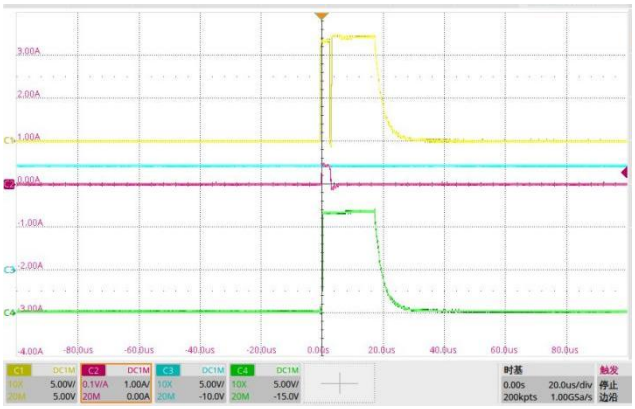


CH1:SW1 CH2:SW2 CH3:Vout CH4:IL

Vin=12V Vout=9V

图 8-12. Shut down waveform, Iout =1A

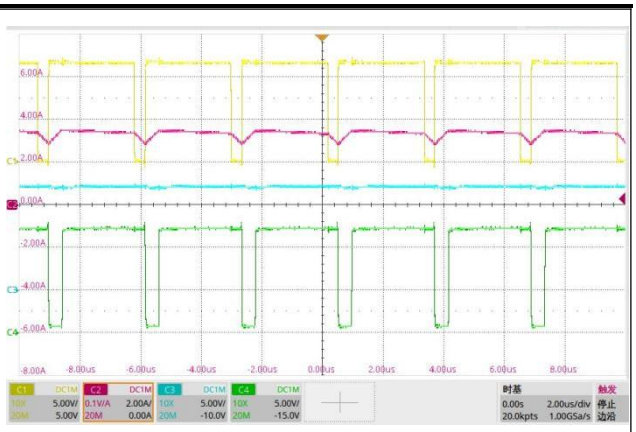
© Powlicon Microelectronics Co., Ltd.



CH1: SW1 CH2:SW2 CH3:Vout CH4:IL

Vin=12V Vout=12V

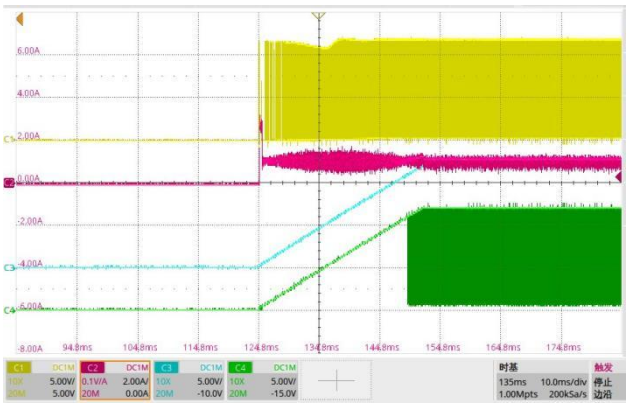
图 8-13. Steady State waveform, Iout=0A



CH1: SW1 CH2:Vout CH3:SW CH4:IL

Vin=12V Vout=12V

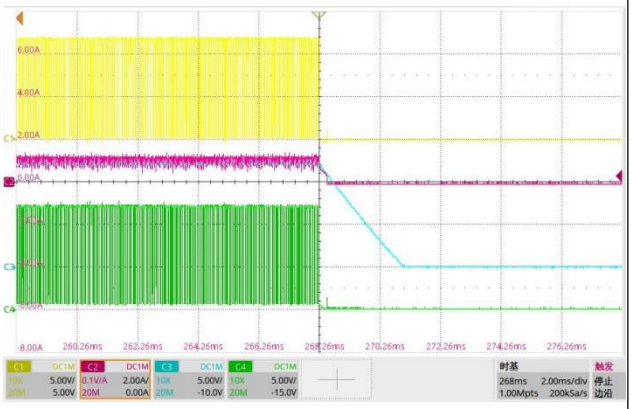
图 8-14. Steady State waveform, Iout=3A



CH1:SW1 CH2:SW2 CH3:Vout CH4:IL

Vin=12V Vout=12V

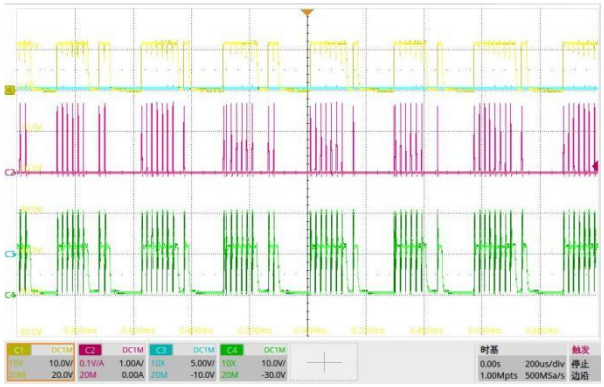
图 8-15. Start up waveform, Iout =1A



CH1:SW1 CH2:SW2 CH3:Vout CH4:IL

Vin=12V Vout=12V

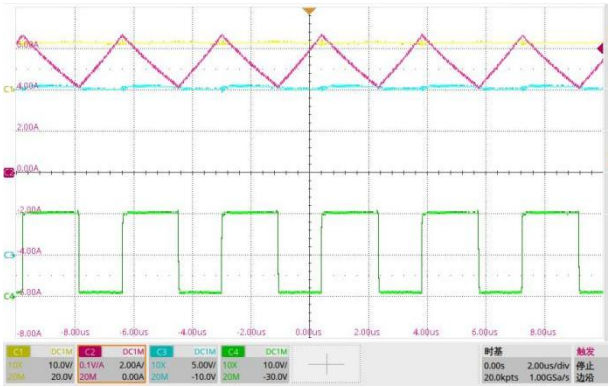
图 8-16. Shut down waveform, Iout =1A



CH1: SW1 CH2:SW2 CH3:Vout CH4:IL

Vin=12V Vout=20V

图 8-17. Steady State waveform, Iout=0A

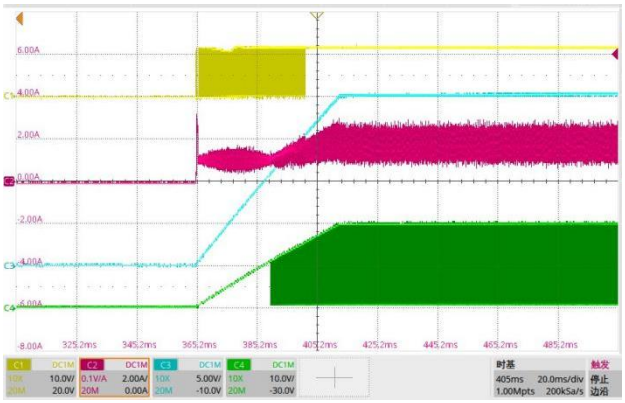


CH1: SW1 CH2:SW2 CH3:Vout CH4:IL

Vin=12V Vout=20V

图 8-18. Steady State waveform, Iout=3A

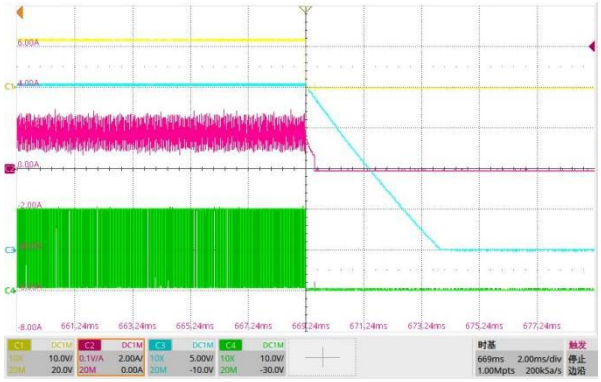
© Powlicon Microelectronics Co., Ltd.



CH1: SW1 CH2:SW2 CH3:Vout CH4:IL

Vin=12V Vout=20V

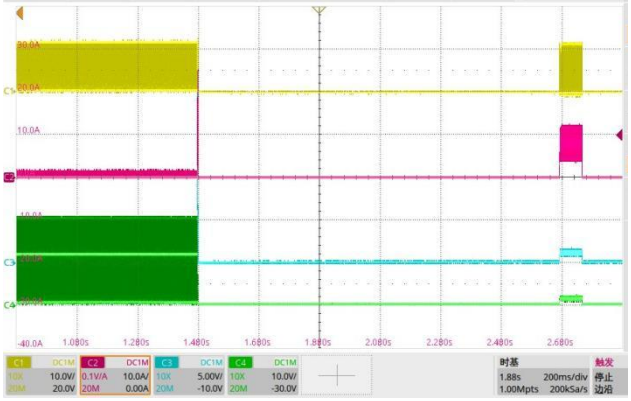
图 8-19. Start up waveform, Iout =1A



CH1: SW1 CH2:SW2 CH3:Vout CH4:IL

Vin=12V Vout=20V

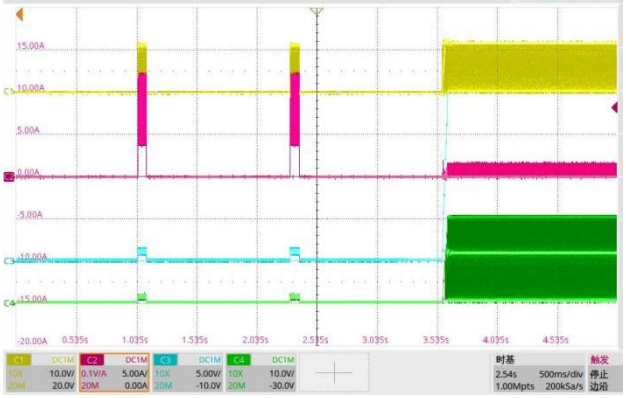
图 8-20. Shut down waveform, Iout =1A



CH1: SW1 CH2:SW2 CH3:Vout CH4:IL

Vin=12V Vout=20V

图 8-21. Short Circuit waveform



CH1: SW1 CH2:SW2 CH3:Vout CH4:IL

Vin=12V Vout=20V

图 8-22. Short Circuit waveform

© Powlicon Microelectronics Co., Ltd.

9 功能描述

9.1 概述

PL62010 是一款集成多种快充协议的高效率，同步双向升降压控制器。升降压采用同步 4 管桥式架构，自主专利的控制方式，自动根据输入、输出电压实现在升压、降压及升降压模式间平滑切换。PL62010 拥有涓流充电、恒流充电、恒压充电一套完整的锂电池充电管理系统，支持 2-5 串锂电池或磷酸铁锂电池充放电。开关频率在 150KHz 和 300KHz 可选。PL62010 支持多种快充协议，内置高性能 MCU，可根据客户需求灵活配置不同应用场景，为各类快充应用构建完整、强大且灵活的升降压充电系统解决方案。PL62010 的高度集成简化了外围器件，有效降低产品设计难度和开发周期。

9.2 功能框图

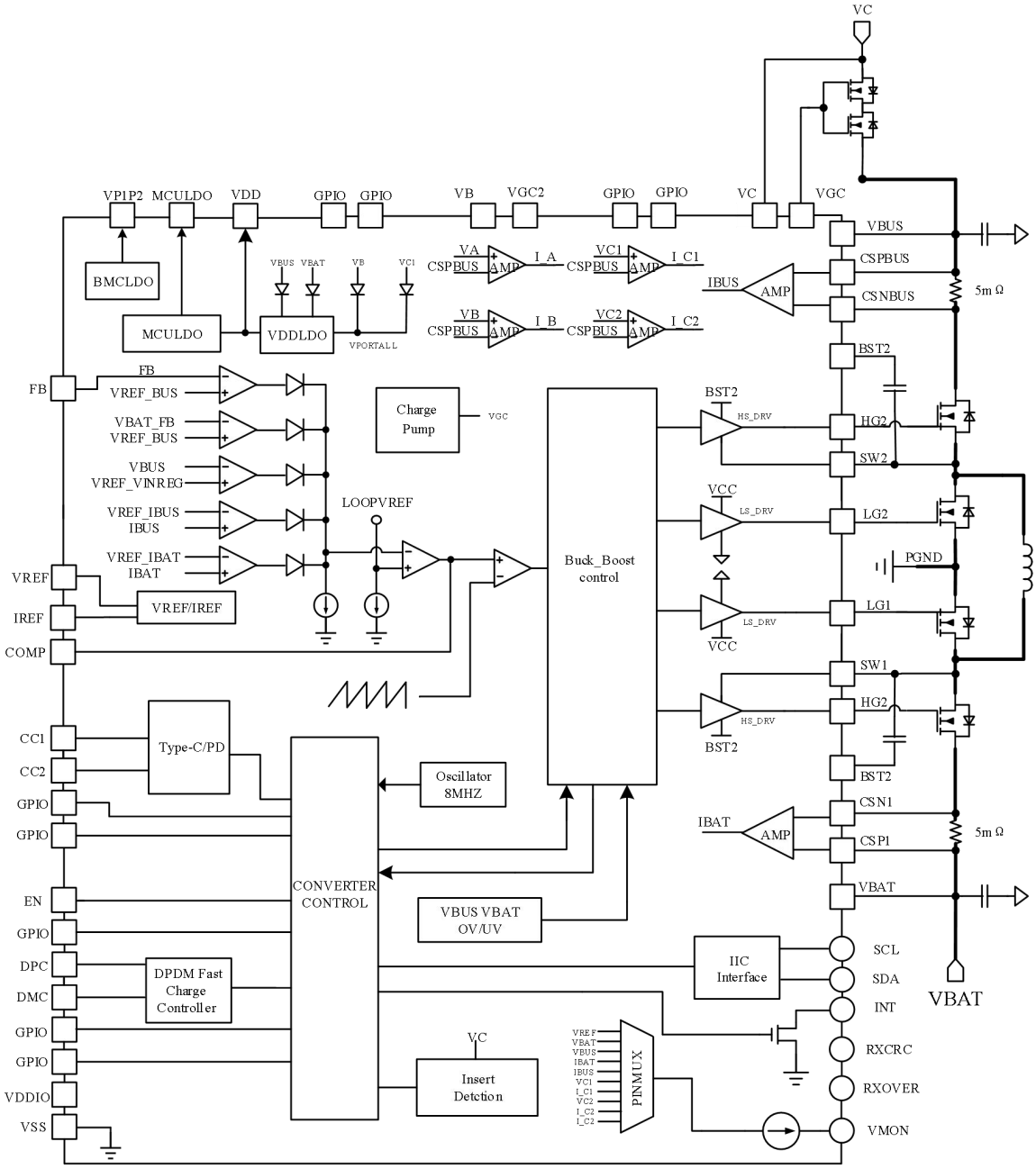


图 9-2-1. PL62010 功能框图

© Powlicon Microelectronics Co., Ltd.

9.3 充电模式

有两个寄存器用于设置充电参数：CHG_CTR1（0x04）和 CHG_CTR2（0x05）。为对电池进行充电，需正确设置以下参数：

1. 通过BAT_CELL<2:0>来设置电池组中串联电池的数量。
2. 通过0x2E寄存器来调节充满电压大小。
3. 将寄存器0x1B设置为正确的自适应充电电压调节点（VREG）。
4. 将0x20<7:6>设为11，即可将IBUS检测增益设置为200。
5. 将0x2D<4>设置为高电平，以启用总线恒流（CC）环路。
6. 为0x08寄存器设置正确的值，以设定所需的充电电流值。当电池电压较低时，为0x08寄存器设置较小的值，用于涓流充电阶段。
7. 将0x1C中的值设为正确数值，即可开启充电端口的开关。
8. 请确保电池类型位0x04的第7位的值是正确的，用于区分三元锂电池和磷酸铁锂电池。
9. 请确保“OTG”位为“0”状态，以便进行电池充电。

在所有寄存器都正确设置好之后，将 EN_DCDC 位设为高电平以开启 DC-DC 电源，并启动为电池充电。在充电过程中，内置的 MCU 会通过检查状态寄存器和 VMONP 信号来持续监控整个系统的状态，保证充电过程的可靠性。

FDCM 位的默认值为高电平，使得 DC-DC 工作在强制 DCM 模式下。在强制 DCM 模式下启动系统进行电池充电，并将 IBUS 电流限制值设置为较低值是一个不错的选择。一旦电池电压超过涓流充电阈值，应缓慢将 IBUS 电流限制值提升至更高的值（推荐将 IBUS 电流设置为 0.5A），然后将 FDCM 位设置为低电平，使系统顺利工作在 CCM 模式下。有时，通过将 VDCMSET<1：0> 设置为 00 来降低 DCM-CCM 转换点，有助于使系统平稳地从 DCM 模式过渡到 CCM 模式。

当电池电压接近满电电压点时，建议通过将 0x08 寄存器设置为较低值来缓慢降低 IREF。当电感电流降至约 0.3A 时，将 FDCM 位置高电平以强制系统重新进入 DCM 模式。当电池电压达到 VBAT 目标值后，系统将进入恒压充电阶段，采用逐渐减小的电流对电池进行充电。当终止电压和终止电流均满足条件时，若 ENEOC 位为高电平，集成电路将进入充电结束阶段，此时将终止充电过程。

用户可将 ENEOC 位设为低电平，系统将保持 DC-DC 工作，持续为电池充电至设定电压。此时，可通过 MCU 监测电池电压，自主判断何时终止充电。该模式特别适用于 TWS 等小电流电池充电场景。

若 IC 在 EOC 后终止充电，电池电压可能因电池单元漏电或工作电流而下降当 VBAT 电压降至 VRECHG 阈值以下时，IC 将进入恒流（CC）充电阶段以完成电池充电。用户还可通过 MCU 监测电池电压，当电压达到充电阈值时，由 MCU 重新启动充电。

充电过程中，若 IBUS 充电电流超过适配器的承载能力，将导致适配器过载，VBUS 电压随之下降。PL62010 支持动态电源管理，其允许的充电最低 VBUS 工作电压由 VINREG_SET[2:0]设定。当 VBUS 电压降至 VINREG 阈值时，IC 会自动降低充电电流。将 VBUS 维持在 VINREG 阈值。若 VBUS 电压继续低于 VINREG 阈值，IC 将停止充电电流输出。

注释：

1. 设置电池包中串联的电池数量：（0x04<6:4>）
   000: 1 cell;
   001: 2 cells;
   010: 3 cells;
   011: 4 cells;
   100: 5 cells;
   101: 6 cells;

2. 设置调整电池电压大小公式：

BATTYPE=0 时，电池电压大小公式

$$VBAT = \frac{7 * N * [72 + 0.2 * (CTYPE_SET < 4 > * 16 + \ldots + CTYPE_SET < 0 > * 1)]}{120} \ (V)$$

BATTYPE=1 时，电池电压大小公式

$$VBAT = \frac{7 * N * [60 + 0.2 * (CTYPE_SET < 4 > * 16 + \ldots + CTYPE_SET < 0 > * 1)]}{120} \ (V)$$

3. 自适应充电电压调节点（DAC_VREG）公式；

$$VINREG = 2.048 * \frac{DAC[7] * 128 + DAC[6] * 64 + \ldots\ldots + DAC[1] * 2 + DAC[0] * 1}{256 * K} \ (V)$$

© Powlicon Microelectronics Co., Ltd.

$$K=\begin{cases}4/15 & VREG_SET<1:0>==00;\\ 4/27 & VREG_SET<1:0>==01;\\ 4/36 & VREG_SET<1:0>==10;\\ 4/60 & VREG_SET<1:0>==11;\end{cases}$$

4. 设置 BUS 端充电电流：

$$IBUS_SET = GAIN_{BUS} * R_{SEN} * I_{BUS}$$

$$2.048 * \frac{DAC[11]*2048+DAC[10]*1024+\ldots\ldots+DAC[1]*2+DAC[0]*1}{4096} = GAIN_{BUS} * R_{SEN} * I_{BUS}$$

$$I_{BUS} = \frac{DAC[11]*2048+DAC[10]*1024+\ldots\ldots+DAC[1]*2+DAC[0]*1}{2000 * GAIN_{BUS} * R_{SEN}}$$

9.4 放电模式

当 OTG 位设置为 1 时，集成电路进入放电模式。通过 0x06 和 0x07 来设定 12 位 DAC 输出作为 FB 的基准电压 VREF，若 FB_SEL 设置为 1，分压比例由外围器件决定；若 FB_SEL 设置为 0，则使用内部反馈电阻，该分压比为 1/10，默认 VBUS 输出电压为 5V，可按 5mV 步长从 0V 调节至 20V，具体如下：

$$VBUS = 10（分压倍数）* 2.048 * \frac{DAC[11]*2048+DAC[10]*1024+\ldots\ldots+DAC[1]*2+DAC[0]*1}{4096}\ (V)$$

在设置好 VREF 的值后，用户需将 LDVREF 位设置为 1 以加载 VBUS 设置，否则更改将不会生效。若需要恒流回路，用户需将 0x2D<4>位置高以启用总线恒流（CC）回路。

9.4.1 PFM 模式

为降低开关损耗，IC 在轻载条件下采用脉冲-频率调制（PFM）操作以实现放电模式。通过自动降低频率来减少开关损耗，从而在轻载条件下提升效率。用户还可将 MODE(0x00<3>)设置为 1，强制系统进入 CCM 模式。FDCM 位优先级高于 MODE 位，这意味着当 FDCM =1 时，即使 MODE 位为高电平，系统仍会以 DCM 模式运行。

9.4.2 放电模式下的电流限制

当 OTG 设置为 1 时，集成电路通过 CSNBUS 引脚到 CSPBUS 引脚的电压降监测放电电流(与充电模式方向相反)，用户需将位 0x2D<4>置高以启用总线恒流（CC）回路，此时该电流检测输出值用于放电模式电流限制，防止输出电流过高。

9.5 端口控制

该 IC 为 TYPE-C 端口 NMOS 开关管提供栅极驱动。为确保外部 NMOS 在使用过程中不超过栅氧击穿电压，驱动器内部特意集成了上钳位和下钳位保护机制。在正常开启或关闭状态下，NMOS 的驱动电压将被严格控制在栅氧击穿电压范围之内。

端口可采用单 NMOS 或背靠背 NMOS，如典型应用电路所示。为确保安全运行，必须考虑 NMOS 的 VGS 额定值。NGATE 驱动器由寄存器 0x1C 控制。

9.6 充电检测

对于充电端口 VC，IC 可以检测适配器的连接/断开，并通过寄存器 0x36 中的 VC1RDY 状态位予以指示。

9.7 GPIO 外设

PL62010 拥有丰富的 GPIO 接口，用户可根据实际项目需求，通过 SWDIO（PA13）和 SWCLK（PA14）两个引脚烧入程序，配置如灯显方式，NTC 检测，串口通讯，I2C 通讯等功能，使其灵活适配产品。

© Powlicon Microelectronics Co., Ltd.

10 应用设计

10.1 电感选择

工作频率与电感选择相互关联，高频工作可采用更小的电感和电容值。电感值直接影响纹波电流，通常将电感电流纹波 ΔIL 设定为升压区 $V_{IN(MIN)}$时最大电感电流的 20%至 40%

对于给定的纹波，连续模式下的电感项如下：

$$L_{BOOST}>\frac{V_{IN(MIN)}{}^2*(V_{OUT}-V_{IN(MIN)})*1000}{f*I_{out_max}*40\%*V_{OUT}{}^2}\ H$$

$$L_{BUCK}>\frac{V_{OUT}*(V_{IN(MAX)}-V_{OUT})*100}{f*\Delta I_L*V_{IN(MAX)}}\ H$$

其中：

f 工作频率， kHz

$V_{IN(MIN)}$为最小输入电压， V

$V_{IN(MAX)}$为最大输入电压， V

V_{OUT} 输出电压， V

ΔIL 为最大电感纹波电流，A，通常选取最大输出电流的 20%~40%

为确保高效性能，应选用铁氧体等低磁芯损耗的电感器。同时，电感器需具备低直流电阻特性以降低 I^2R 损耗，并能承受峰值电流而不饱和。为最大限度减少辐射噪声，建议采用环形电感、电位器芯或屏蔽骨架电感器。

10.2 输入电容和输出电容选择

升压区输入电流为连续波，而降压区则为不连续波。降压区中，输入电容 C_{IN} 的选择需满足滤波输入方波电流的要求，应选用低等效串联电阻（ESR）且额定值可承受最大均方根电流的电容。降压区的输入均方根电流计算公式为：

$$I_{CIN}=I_{OUT(MAX)}\times\sqrt{\frac{V_{OUT}}{V_{IN}}\times\left(1-\frac{V_{OUT}}{V_{IN}}\right)}$$

在升压区，由于输出电流不连续，输出电压纹波必须能够被 C_{OUT} 有效抑制。在选择合适电容器时，需综合考虑等效串联电阻（ESR）和体电容对输出纹波电压的影响。体电容充放电产生的稳态纹波可通过以下公式计算:

$$\Delta V_{(BOOST,Cap)}=\frac{I_{OUT(MAX)}*(V_{OUT}-V_{IN(MIN)})}{C_{OUT}*V_{OUT}*f}\ V$$

其中 C_{OUT} 为输出滤波电容。

ESR 两端电压降引起的稳定纹波由下式给出:

$$\Delta V_{(BOOST,ESR)}=I_{OUT(MAX,BOOST)}*ESR$$

在降压模式下，V_{OUT} 纹波由以下公式给出:

$$\Delta V_{OUT}\leq\Delta I_L*\left(ESR+\frac{1}{8*f*C_{OUT}}\right)$$

为满足等效串联电阻（ESR）和均方根电流（RMS）承载要求，可能需要并联多个电容器。

© Powlicon Microelectronics Co., Ltd.

10.3 功率 MOSFET 的选择和效率考虑

PL62010 需配置四个外部 N 沟道功率 MOSFET，其中两个作为上管（开关 Q1 与 Q4，见图 1），两个作为下管（开关 Q2 与 Q3，见图 1）。功率 MOSFET 的关键参数包括：击穿电压 $V_{BR,DSS}$、阈值电压 $V_{GS,TH}$、导通电阻 $R_{DS(ON)}$、反向传输电容 C_{RSS} 及最大电流 $I_{DS(MAX)}$。其驱动电压由 VCC 电源设定。

为正确选型功率 MOSFET，必须明确器件的功率损耗。对于开关管 Q1，其最大功耗出现在升压区持续导通时。在最大输出电流条件下的功耗计算公式如下：

$$P_{Q1,BOOST} = \left(\frac{V_{OUT}}{V_{IN}} * I_{OUT(MAX)}\right)^2 * k * R_{DS(ON)}$$

其中，k 为归一化因子（在 25° C 时取值为 1），用于量化导通电阻随温度的显著变化。为达到 125° C 的最高结温要求，通常取 k = 1.5 以体现温度对电阻的影响。$R_{DS(ON)}$为 25°C 基准温度下的归一化阻值。

开关管 Q2 在降压区作为同步整流器工作，其在最大输出电流条件下的功率损耗计算公式如下：

$$P_{Q2,BUCK} = \frac{V_{IN}-V_{OUT}}{V_{IN}} * I_{OUT(MAX)}{}^2 * k * R_{DS(ON)}$$

开关管 Q3 在升压区作为控制开关工作，其在最大电流条件下的功率损耗计算公式如下：

$$P_{Q3,BOOST} = \frac{(V_{OUT}-V_{IN})*V_{OUT}}{V_{IN}{}^2} * I_{OUT(MAX)}{}^2 * k * R_{DS(ON)} + r * V_{OUT}{}^3 * \frac{I_{OUT(MAX)}}{V_{IN}} * C_{RSS} * f$$

其中，C_{RSS} 参数通常由 MOSFET 制造商提供。常数 r 用于表征反向恢复电流引起的损耗，其值与栅极驱动电流成反比，经验取值为 1.7。

对于开关管 Q4，其最大功耗出现在升压区且占空比高于 50% 时。在最大输出电流条件下的功耗计算公式如下：

$$P_{Q4,BOOST} = \frac{V_{IN}}{V_{OUT}} * \left(\frac{V_{OUT}}{V_{IN}} * I_{OUT(MAX)}\right)^2 * k * R_{DS(ON)}$$

在相同输出电压与电流条件下，除非输出端发生短路，否则开关管 Q1 的功耗最高，而开关管 Q2 的功耗最低。根据功率 MOSFET 的已知损耗，可通过以下公式计算其结温：

$$T_j = T_a + P * \theta_{TH(JA)}$$

公式中采用的热阻 $\theta_{TH(JA)}$ 通常包含器件本身的热阻 $\theta_{TH(JC)}$ 以及外壳至环境的热阻 $\theta_{TH(JC)}$。计算得到的 Tj 值可与迭代计算过程中初始假设的 Tj 值进行比较。基于特定 MOSFET 的结温要求与稳压器效率指标，即可筛选出合适的器件型号。

10.4 二极管选择

PL62010 使用 VINALL 引脚为内部驱动电路和低压稳压器（LDO）供电；若充电端口采用背靠背隔离，则该端口电压也应通过二极管连接至 VINALL 引脚。

© Powlicon Microelectronics Co., Ltd.

11 应用原理图

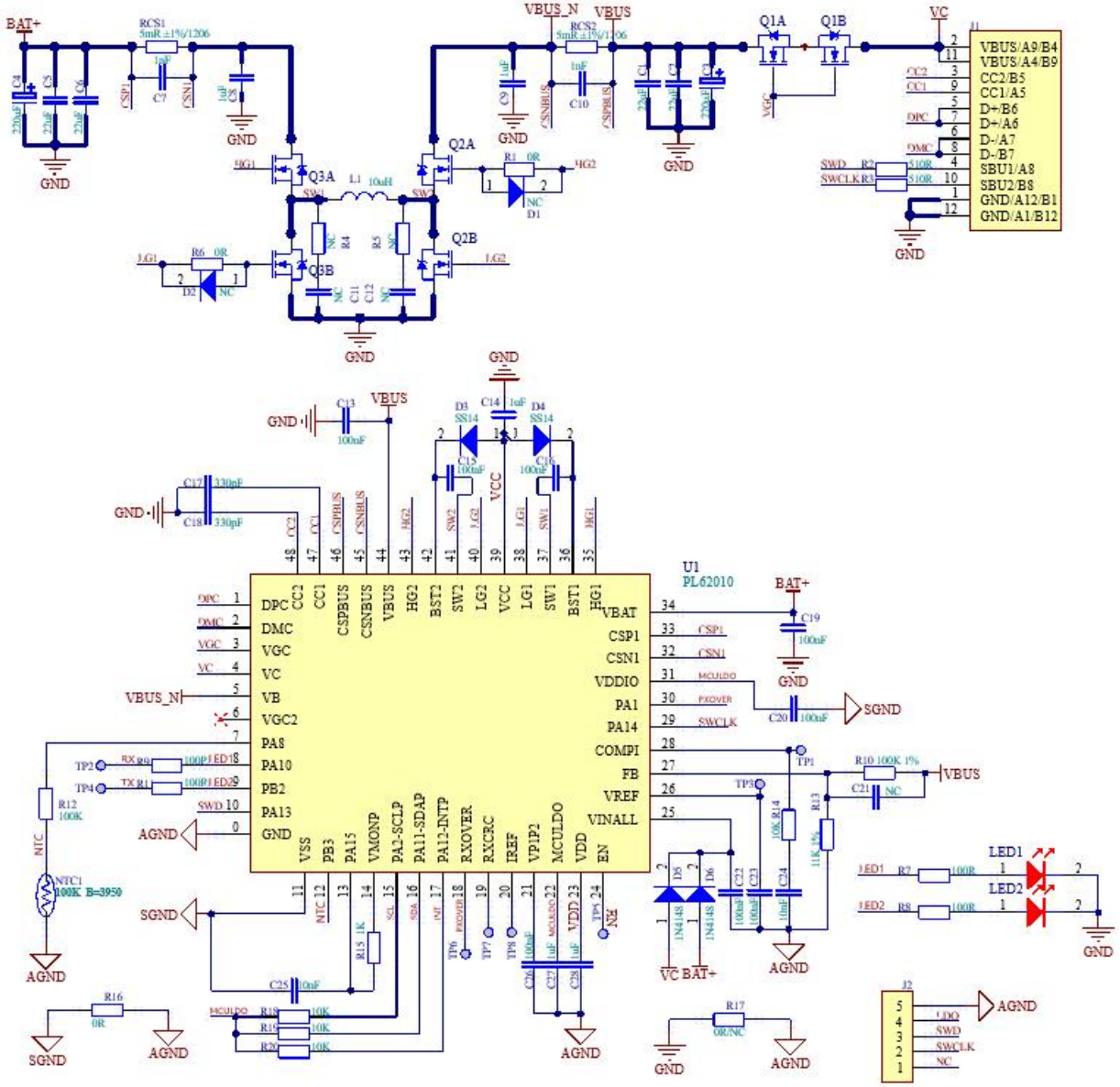


图 11-1.应用原理图

© Powlicon Microelectronics Co., Ltd.

12 PCB 设计指南

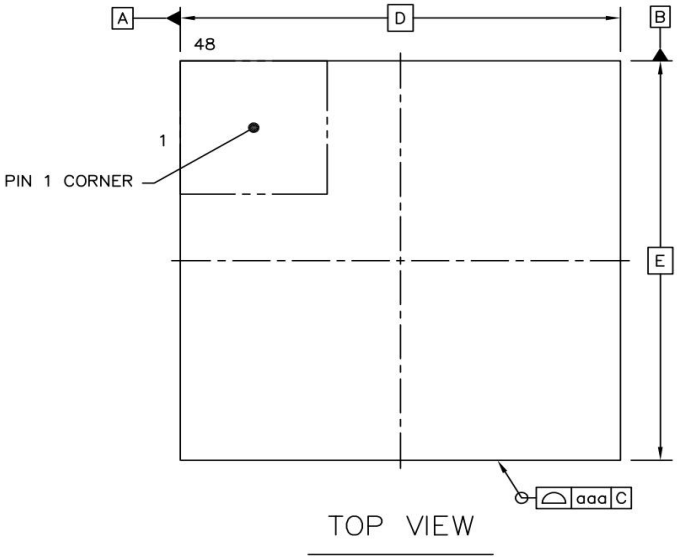
布局是电源设计的关键环节，以下指导原则将帮助用户设计出具有最佳电源转换性能、热性能以及最小化 EMI 的 PCB。

1. 输入旁路电容应尽可能靠近 VBUS 引脚和接地引脚放置，以实现输入噪声的去耦。
2. 输出旁路电容应尽可能靠近 VBAT 引脚并接地，以消除输出噪声干扰。
3. 输入和输出电容器的接地应采用顶层铜皮就进接地，使电流以最短的路径流回 GND 引脚和焊盘。
4. 电感器 L 应置于 SW 引脚附近，以降低磁噪声和静电噪声。
5. CSP1、CSN1、CSPBUS、CSNBUS 应直接连接至检测电阻端，并采用开尔文连接方式对称地引出至 IC。
6. 最好将电感、功率 MOSFET、输入体电容和输出体电容分开，以实现良好的热平衡。
7. 将 IC 远离电感器和功率 MOSFET，并保证良好的接地平面。

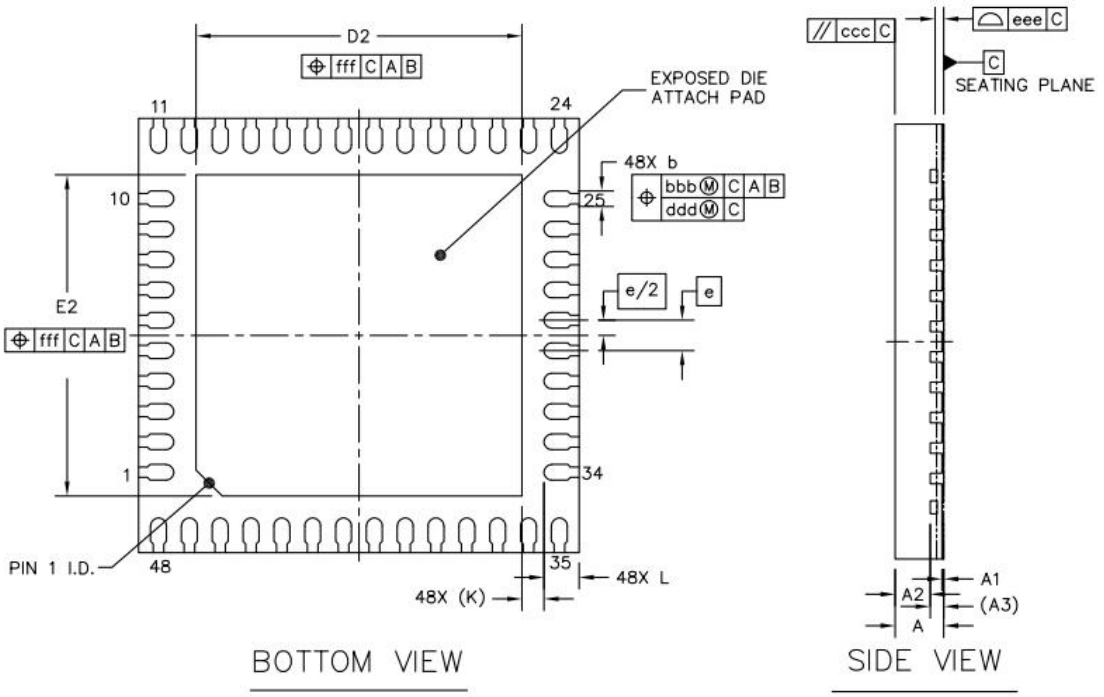
注：详细的 PCB 设计指南，请查阅 PL62xxx 的应用指南。

© Powlicon Microelectronics Co., Ltd.

13 封装信息



		SYMBOL	MIN	NOM	MAX
TOTAL THICKNESS		A	0.8	0.85	0.9
STAND OFF		A1	0	0.02	0.05
MOLD THICKNESS		A2	---	0.4	---
L/F THICKNESS		A3		0.152 REF	
LEAD WIDTH		b	0.13	0.18	0.23
BODY SIZE	X	D		5 BSC	
	Y	E		5 BSC	
LEAD PITCH		e		0.35 BSC	
EP SIZE	X	D2	3.6	3.7	3.8
	Y	E2	3.6	3.7	3.8
LEAD LENGTH		L	0.3	0.4	0.5
LEAD TIP TO EXPOSED PAD EDGE		K		0.25 REF	
PACKAGE EDGE TOLERANCE		aaa		0.1	
MOLD FLATNESS		ccc		0.1	
COPLANARITY		eee		0.08	
LEAD OFFSET		bbb		0.07	
		ddd		0.05	
EXPOSED PAD OFFSET		fff		0.1	



IMPORTANT NOTICE

Powlicon Microelectronics Co., Ltd. assumes no responsibility for any error which may appear in this document. Powlicon Microelectronics Co., Ltd. reserves the right to change devices or specifications detailed herein at any time without notice. Powlicon Microelectronics Co., Ltd. does not assume any liability arising out of the application or use of any product described herein; neither it convey any license under its patent rights, nor the rights of others. Powlicon Microelectronics Co., Ltd. products are not authorized for use as critical components in life support devices or systems without written approval letter from the Chief Executive Officer of Powlicon Microelectronics Co., Ltd. The user of products in such applications shall assume all risks of such use and will agree to not hold against Powlicon Microelectronics Co., Ltd. for any damage.

© Powlicon Microelectronics Co., Ltd.