

PL3902 应用指南

概述

PL3902 是一款支持 100V 的同步升压或降压 DC-DC 控制器。具有恒压(CV)、恒流(CC)模式。使用 2 个 QFN5x6 封装的 MOS 并联可以做 300W。栅极驱动电压为 5.4V，也可驱动氮化镓 MOS 做更大功率。

特点

- 1、通过 SEL 脚可设置升压、降压模式。
- 2、升压模式最大输出电压 100V（降压模式最大输入电压 100V）。
- 3、升压模式最低工作电压 4.5V，启动后可低至 2.5V。
- 4、降压模式支持短路打嗝保护。
- 5、通过外置电阻可设置开关频率(50kHz~900kHz)，或 PLLIN 输入外部时钟。
- 7、通过外置电容可设置软起动时间。
- 8、内置 OVP/OTP 保护功能。
- 9、可编程恒流设置。
- 10、轻载支持 Burst 模式、PSM 模式、FCC 模式。
- 11、可驱动氮化镓 MOS。

主要参数

参数	值
最低工作电压	4.5V
工作频率	50kHz~900kHz
最大耐压	100V

一、电路设计指南

1、电流采样电阻和限流设置

电流采样接在升压模式的输入端，降压模式的输出端，芯片会检测电感的峰值电流。不管升压还是降压模式，峰值电流保护与电流采样电阻 R_{SENSE} 有关。恒流输出由 R_{LIMIT} 来设定。会检测平均电流，从而推测出输出电流。在设计电路时通常先根据输出电流反推电感电流，再选择合适的电流采样电阻，再设置恒流点。

a. 升压模式

例如需求为 12V 升压至 36V/4A。（为简化计算不考虑损耗）

输入端平均电流为：

$$I_{IN} = \frac{V_{out} \times I_{out}}{V_{in_min}} = \frac{36V \times 4A}{12V} = 12A$$

R_{SENSE} 的计算公式为：

$$R_{SENSE} = \frac{V_{SENSE(MAX)}}{I_{IN} + \frac{\Delta I_L}{2}}$$

其中 ΔI_L 是电感纹波电流，通常取电感电流的 0.2~0.4 倍，

$$R_{SENSE} = \frac{V_{SENSE(MAX)}}{I_{L_peak}} = \frac{75mV}{12A + \frac{12A \times 0.3}{2}} = 5.43m\Omega$$

所以 R_{SENSE} 应该选取 4.5~5m Ω (需小于计算值)，此时峰值电流保护点为：

$$I_{L_peak} = \frac{V_{SENSE(MAX)}}{R_{SENSE}} = \frac{75mV}{5m\Omega} = 15A$$

b. 降压模式

例如需求为 48V 降压至 12V/10A。（为简化计算不考虑损耗）

R_{SENSE} 的计算公式为：

$$R_{SENSE} = \frac{V_{SENSE(MAX)}}{I_{IN} + \frac{\Delta I_L}{2}}$$

其中 ΔI_L 是电感纹波电流，通常取电感电流的 0.2~0.4 倍，

$$R_{SENSE} = \frac{V_{SENSE(MAX)}}{I_{L_peak}} = \frac{75mV}{10A + \frac{10A \times 0.3}{2}} = 6.52m\Omega$$

所以 R_{SENSE} 应该选取 5~6m Ω (需小于计算值)，此时峰值电流保护点为：

$$I_{L_peak} = \frac{V_{SENSE(MAX)}}{R_{SENSE}} = \frac{75mV}{6m\Omega} = 12.5A$$

如果还需要恒流输出，需设置 R_{LIMIT} 。

R_{LIMIT} 脚配置	说明
R_{LIMIT} 接 INTVCC	打嗝保护（仅在降压模式有效） ^{Note1}
R_{LIMIT} 接电阻到 GND	设置恒流输出

$$R_{LIMIT} = \frac{1.5 \times R_{SENSE} \times I_{cc}}{2 \times 0.6}$$

其中 I_{cc} 为恒流点， R_{SENSE} 为上述公式计算得出并选取的电流采样电阻。

Note1: 降压模式才有短路打嗝保护，升压模式的拓扑结构不支持短路保护，故测试时不可测输出短路！

2、开关频率设置

FREQ 脚用于内部振荡器频率控制，FREQ 接 SGND 频率设定为 350kHz，如果接 INTVCC，频率设定为 535kHz。

FREQ 脚配置	频率(kHz)
FREQ 接 INTVCC	535
FREQ 接 GND	350

FREQ 脚通过一个电阻接到 SGND 可将频率设置在 50kHz~900kHz 之间，电阻与频率的关系如下图：

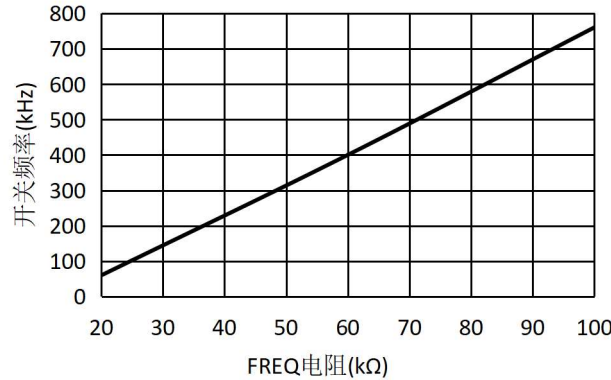


图 1-1 FREQ 电阻与开关频率的关系

如果使用 PLLIN (4) 输入外部同步时钟，FREQ 的设置不会起作用。PLLIN 同步输入请看第 5 节。

3、栅极驱动电路

芯片的栅极驱动输出电压为 5.4V，可驱动 GaN，栅极驱动器的拉电流为 0.8A，灌电流为 1.7A，在设计电路时可以预留栅极电阻和泄放电阻，以便微调死区时间，和 EMI 优化。

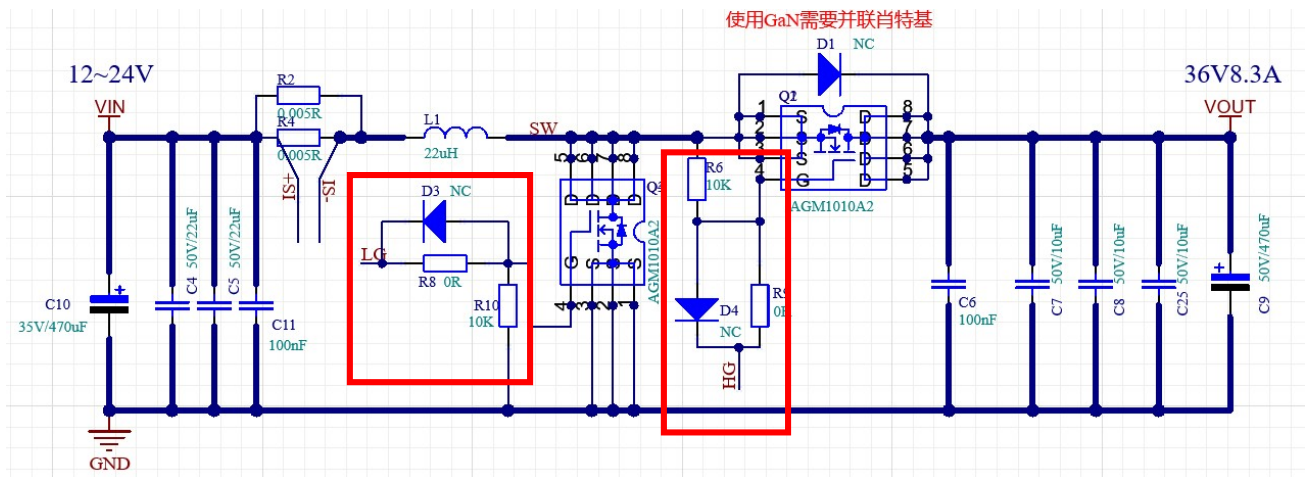


图 1-2 栅极驱动电路

4、芯片供电

芯片 VBIAS 为主供电，其耐压为 100V，EXTVCC 为外部电源，其耐压值为 30V，INTVCC 为内部 LDO 输出，同时为内部电路供电，INTVCC 需要接不小于 4.7uF 的陶瓷电容。当 EXTVCC 电压高于 4.8V 时，芯片内部会自动切换到 EXTVCC 供电 (LDO②)，并切断 VBIAS 的供电 (LDO①)。迟滞电压为 0.2V。

当不使用 EXT VCC 时，请将 EXT VCC 接地。

其内部结构简化图如下：

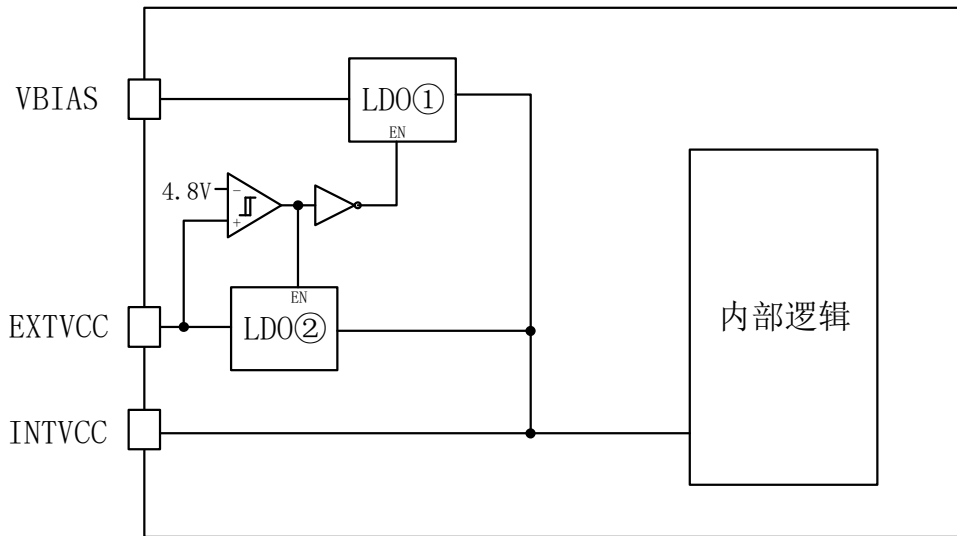


图 1-3 VBIAS、EXTVCC、INTVCC 的关系

①在**降压**模式下，通常 VBIAS 接输入端 VIN，EXTVCC 接输出端 VOUT。

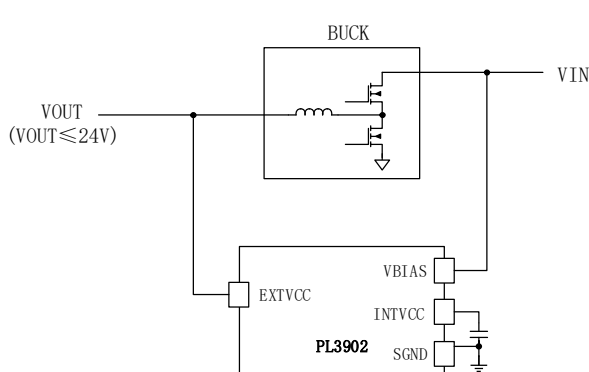


图 1-4 输出电压不高于 24V

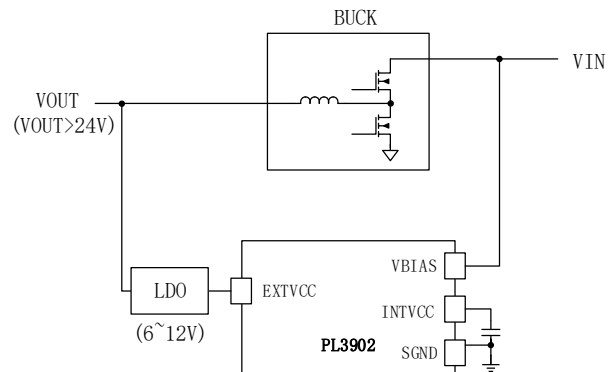


图 1-5 输出电压高于 24V

案例一：例如 60V 转 12V 的情况，在启动前，由 LDO①将 60V 降到 5.4V 给芯片供电，当输出电压 VOUT 逐渐上升到 4.8V 后，芯片就将供电切换到 LDO②，从而可以减小芯片内部 LDO 的压差，以减小芯片的发热。

案例二、如果是 60V 降 48V 的情况，EXTVCC 就不能接到 48V 输出端了，因为 EXT VCC 最大只支持 30V，这时需要使用额外的 LDO 或 DCDC 先将电压降低到 30V 以下（推荐 6V~12V）再接到 EXT VCC。

②在**升压**模式下，通常 VBIAS 接输出端 VOUT（也可以接到 VIN），EXTVCC 接输入端 VIN。

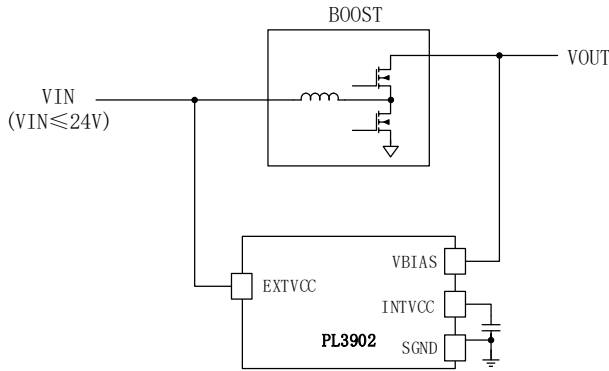


图 1-6 输入电压不高于 24V

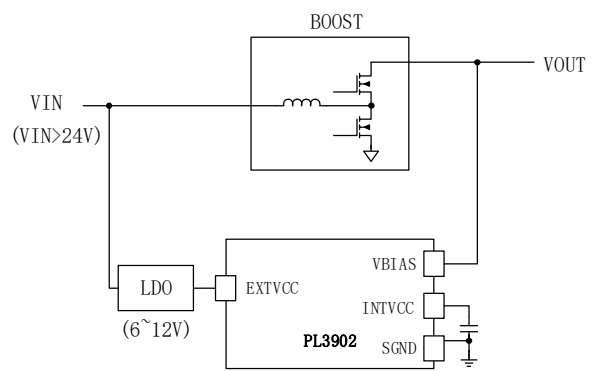


图 1-7 输入电压高于 24V

案例一、例如 12V 转 60V 的情况，在启动前，VIN 通过上管 MOS 的体二极管给 VBIAS 供电，此时 VBIAS=12V-0.6V，EXTVCc=12V，因为 EXTVCc 大于 4.8V，所以芯片始终是由 LDO②供电的。

案例二、如果是 48V 升 60V 的情况，EXTVCc 电压等于 48V，所以需要额外的 LDO 或 DCDC 先将电压降低到 30V 以下（推荐 6V~12V）再接到 EXTVCc。

案例三、如果是低电压升压的情况，4.5V 升压 20V。VBIAS 必须接输出端 VOUT，EXTVCc 可不使用。当输出拉大电流后，输入端由于线损可能电压有所下降，但只要不低于 3V，是可以继续工作的。

5、PLLIN/MODE

当不使用外部时钟输入时，PLLIN/MODE 脚用于设置空载/轻载的工作模式，定义如下：

PLLIN/MODE 脚配置	工作模式	空载功耗
PLLIN/MODE 接 INTVCc	强制连续模式(FCC)	高
介于 1.2V~4.1V 范围之内	脉冲跳越模式(PSM)	中
PLLIN/MODE 接 SGND	突发模式(Brust)	低

当使用外部同步时钟输入时，可让 DCDC 的开关频率与外部时钟同步，通常用于音响功放方案中，时钟的电压阈值为：1.6V（上升）、0.4V（下降），输入频率应在 50kHz~850kHz 之间。

6、EN 引脚悬空使能 DC-DC。在没有 MCU 控制 EN 时，强烈建议 EN 通过 VIN 分压作 VINUV 功能使用，VINUV 电压点尽可能设置高些。

7、在输出功率较大时，建议输入/输出电容使用固态电解电容。

8、在升压模式 CSP 接电流采样电阻的流入端，CSN 接电流采样电阻的流出端。在降压模式，因为内部电路会翻转，所以 CSP 和 CSN 的接法相反。可以看规格书的典型应用图。

9、通常 BST 二极管会选用肖特基二极管，例如 SS14(40V 1A)，但在高压方案需要注意 BST 二极管耐压值，虽然 1N4148(100V 0.5A)也可以，但正向压降太大了，成本允许的情况下尽量用肖特基。

10、其余 NC 脚请保持悬

二、PCB 设计注意事项

1、功率环路

下图为功率级的布局示意图，在布局时应当优先考虑虚线标注的区域①和②，尽可能的使其围成的面积减小，尤其是区域①更为重要。**VOUT** 端的 100nF 的瓷片电容需要紧靠功率 MOS 管，以便瞬态电流能以最短路径流回 **GND**，减小噪声和干扰。功率级的线宽要满足能过大电流的能力，受贴片器件影响的区域需要通过过孔连通内层铜皮，增大载流能力。在散热条件允许的情况下，**SW** 节点的铜皮不能太大，以免 **SW** 节点向空间辐射电场，引起 **EMI** 问题。降压电路也是如此，区别是输入和输出的方向相反，但区域①和②的位置不变，需要遵循与之相同的规则。

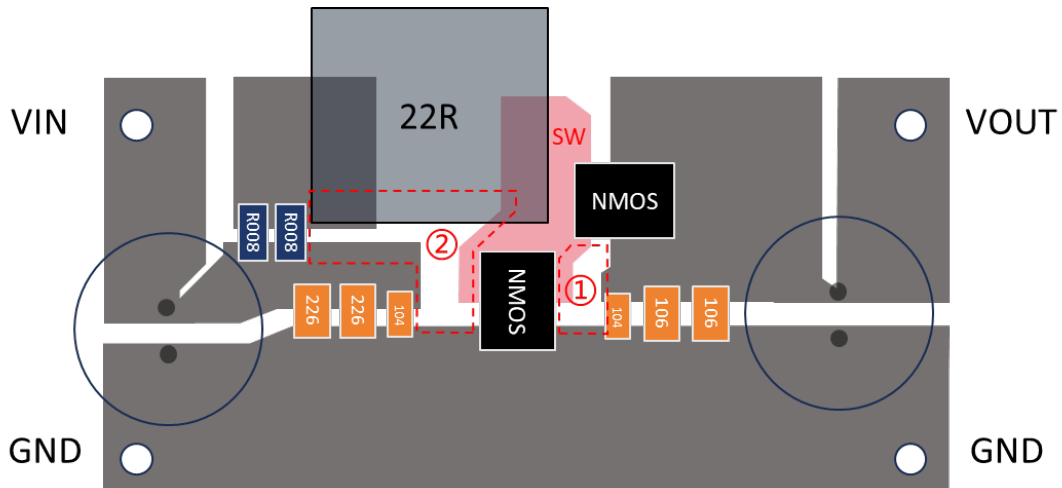


图 2-1 功率回路

2、电流采样网络

CSP/CSN 是一组差分对网络，应该避开干扰源，使用开尔文走线。

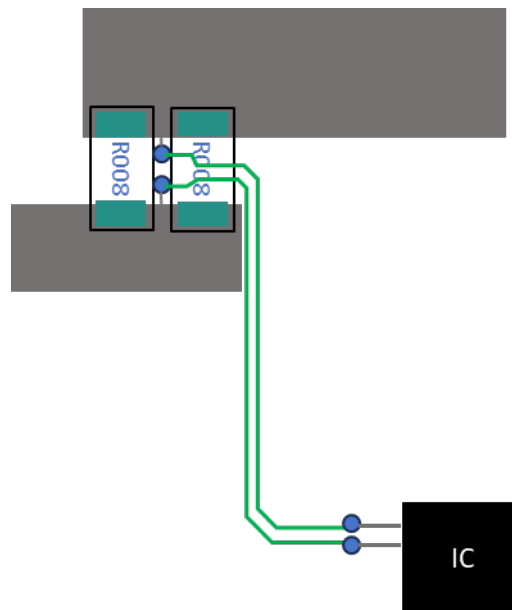


图 2-2 差分走线

滤波小电容应该靠近 IC 引脚，滤波小电阻可省略。

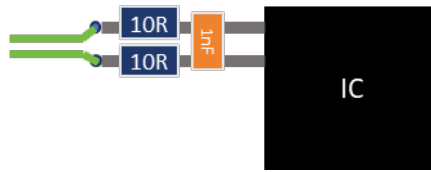


图 2-3 RC 滤波靠近 IC

3、栅极驱动

TG、LG 管脚连接到 MOS 管的线径也需要短和粗，尽可能的减少过孔的使用，以减小寄生参数，TG、LG 在工作时也有较高的 di/dt ，也需要将环路尽可能的减小。

4、滤波电容

电容必须放在电流最短路径上，高频纹波通过瓷片电容以最短路径流回 PGND，负载电流需要先被滤干净后再接到输出端子，不能有其他旁路降低滤波效果。

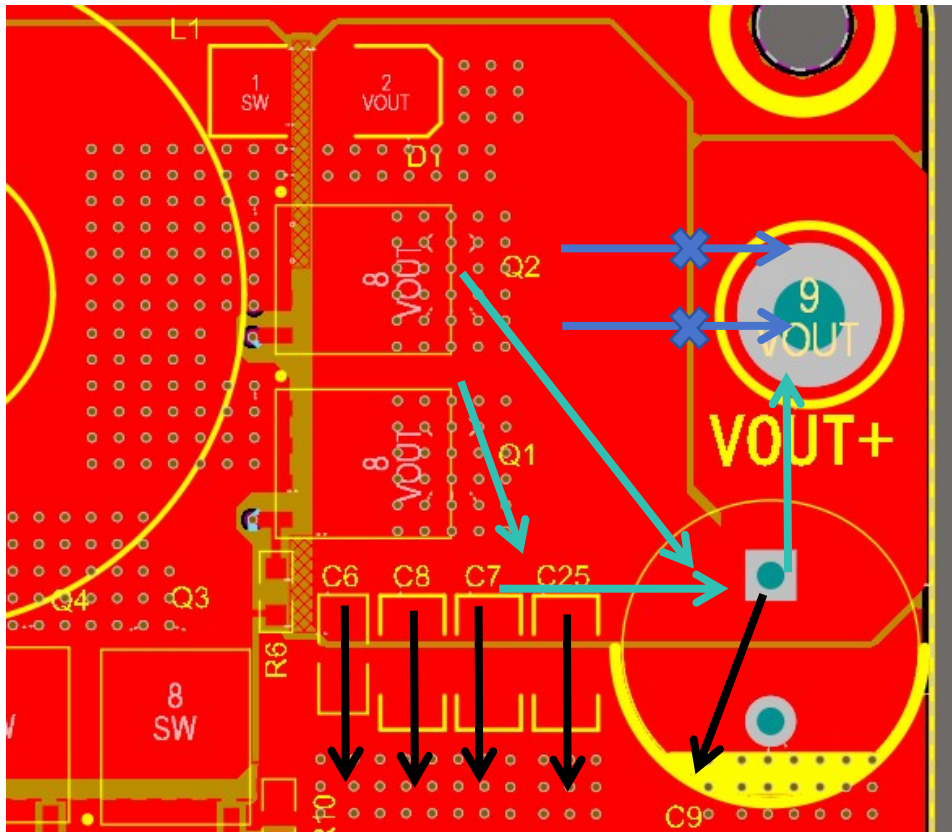


图 2-4 滤波

5、单点接地

DCDC 在 layout 时推荐单点接地，尤其是功率较大的情况下，由于 PCB 的寄生电阻、寄生电容导致 PGND 的电位并不稳定，不能用作芯片的绝对 0V 参考点。

需要将所有模拟地接在一起，再通过一根线连接到芯片的 SGND 引脚上。

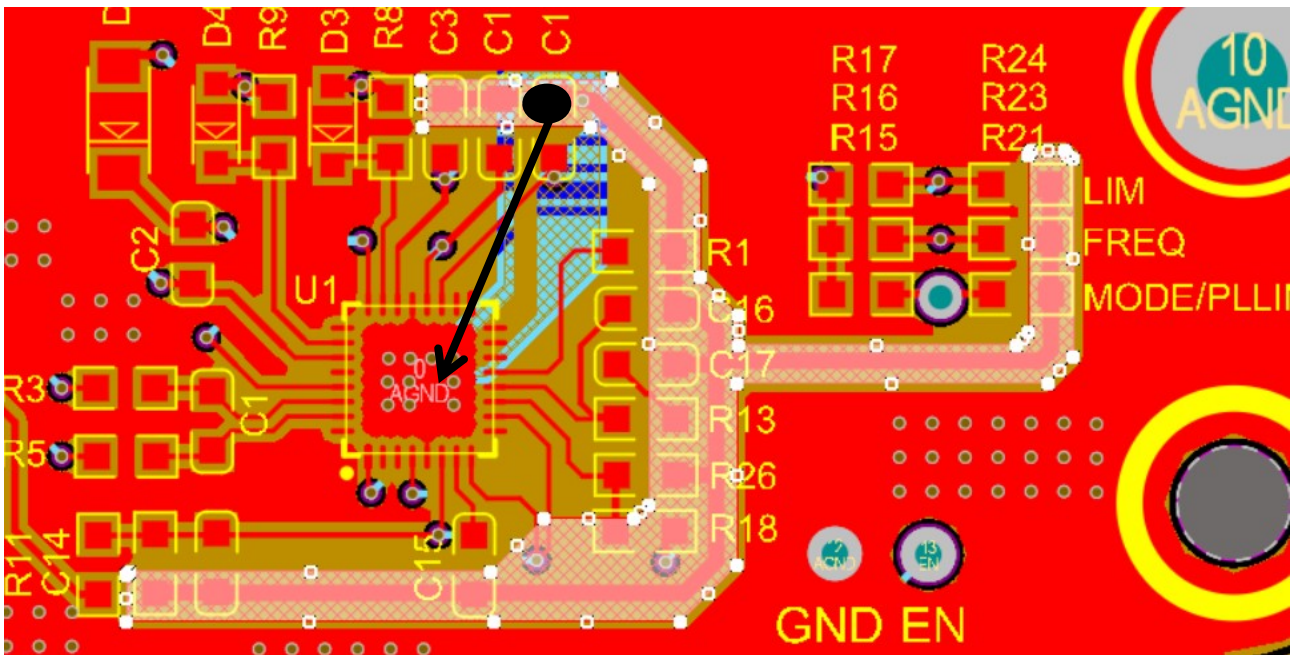
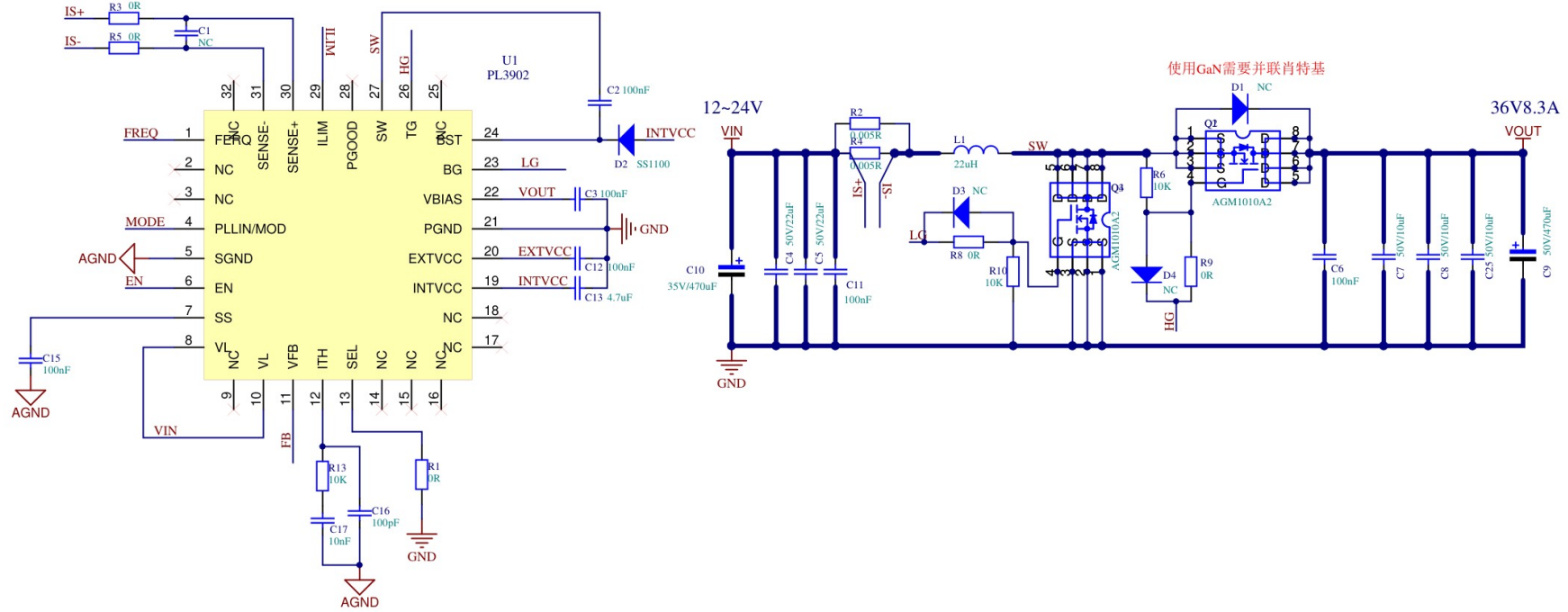


图 2-5 单点接地

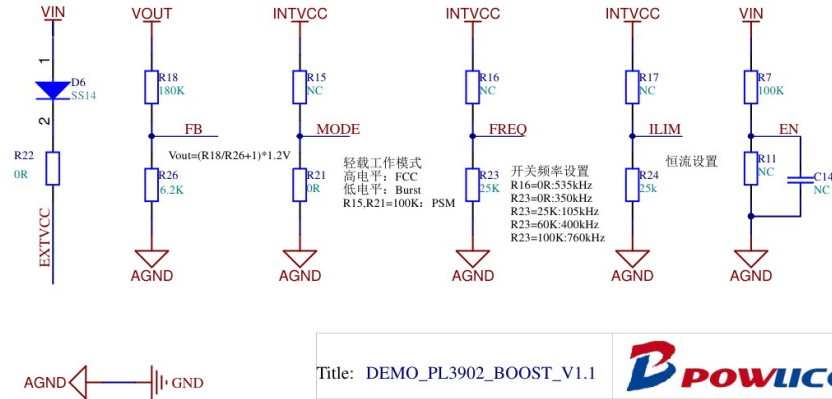
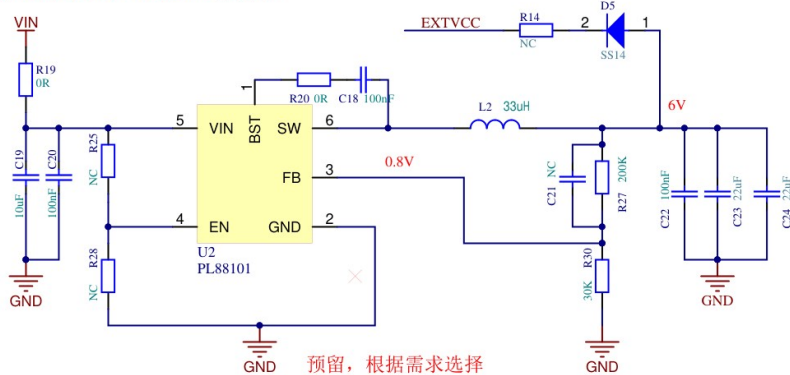
6、散热

- ①芯片在工作时会发热，温度与供电电压和开关频率有关，建议芯片底部增加过孔、开天窗的方式以增强散热。
- ②功率 MOS 也由开关损耗、 R_{dson} 等引起发热，可以增大 MOS 铜皮面积增强散热，但 SW 节点不宜分配过大面积的铜皮，以免天线效应将干扰通过 SW 节点辐射出来。

附录-原理图 (升压)



辅助供电
当输入电压大于24V时, 可选用DCDC辅助供电。



Title: DEMO_PL3902_BOOST_V1.1

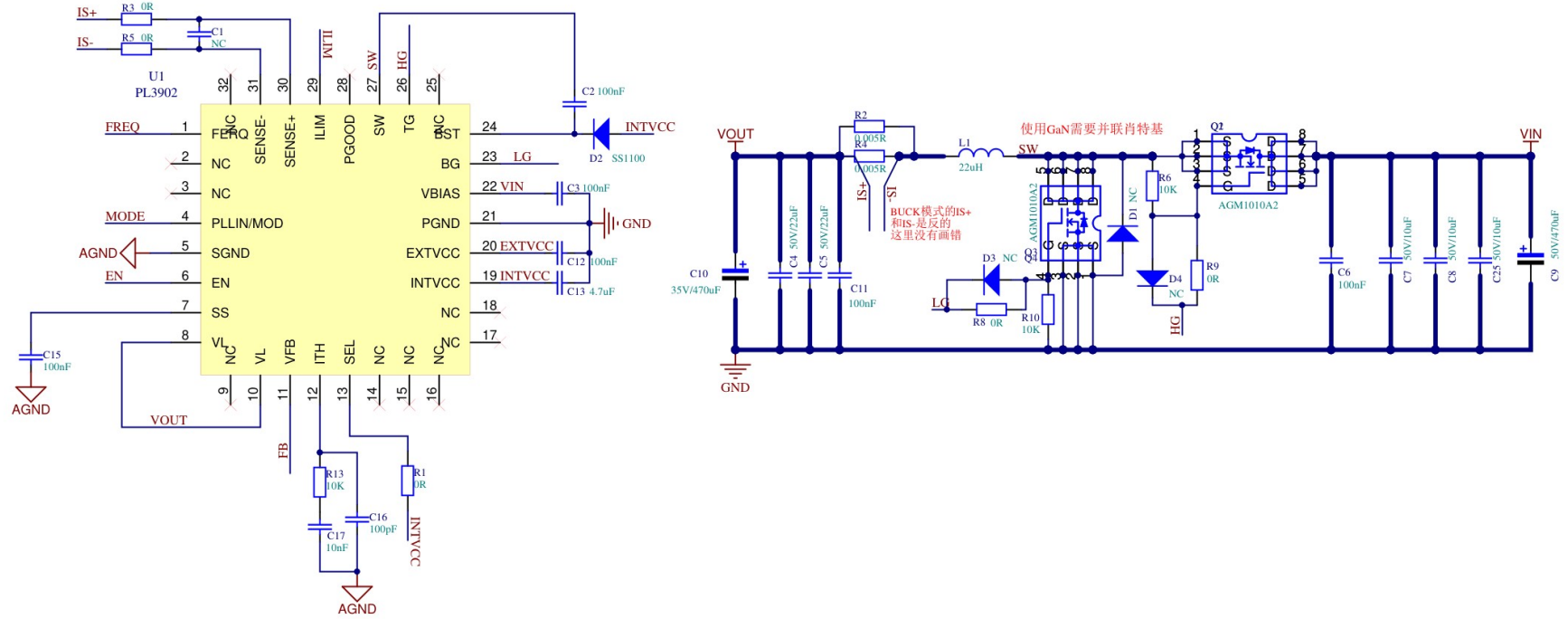
Drawn By: Zhanglihao

BOM 表

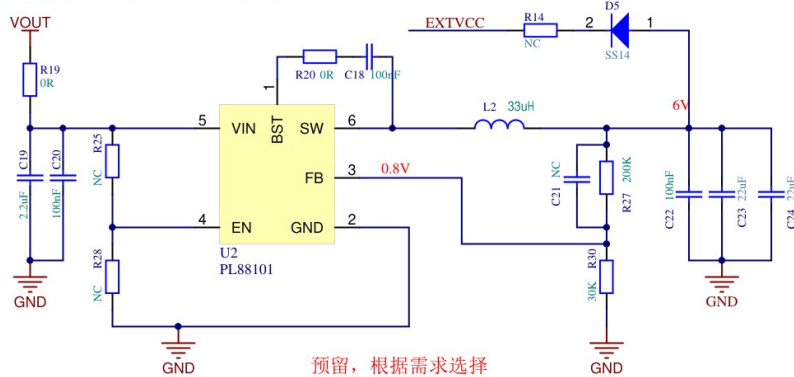
位号	用量	参数	封装	备注
C2, C3, C12, C15	4	100nF	0603_C	100nF, 50V, X7R, 0603
C4, C5	2	22uF	1206_C	22uF, 50V, X7R, 1206
C6, C11	2	100nF	0805_C	100nF, 50V, X7R, 0805
C7, C8, C25	3	10uF	1206_C	10uF, 50V, X7R, 1206
C9	1	100uF	RB5/10	100uF, 100V, 低 ESR 电解电容, Φ10x18mm
C10	1	470uF	RB5/10	470uF, 50V, 低 ESR 电解电容, Φ10x18mm
C13	1	4.7uF	0603_C	4.7uF, 16V, X7R, 0603
C16	1	100pF	0603_C	100pF, 50V, X7R, 0603
C17	1	10nF	0603_C	10nF, 50V, X7R, 0603
D2, D6	2	1N4148	SOD-123	1N4148, 100V, trr=50ns, SOD-123
L1	1	22uH	L_24*24	22uH, 功率电感, Irms=30A, Φ24mm x 10mm
Q1, Q2, Q3, Q4	4	AGM1010A2	DFN5*6	AGM1010A2, 100V, 74A, Rdson=7.8mΩ, DFN5x6
R2, R4	2	5mR	2512_R	5mΩ, ±1%, 2512
R1, R3, R5, R8, R9, R21, R22	7	0R	0603_R	0Ω, ±5%, 0603
R6, R10	2	10K	0603_R	10kΩ, ±5%, 0603
R7	1	100K	0603_R	100kΩ, ±5%, 0603
R13	1	5.6K*	0603_R	5.6kΩ, ±5%, 0603
R23, R24	1	25K	0603_R	25kΩ, ±5%, 0603
R26	1	6.2K	0603_R	6.8kΩ, ±1%, 0603
R18	1	180K	0603_R	130kΩ, ±1%, 0603
U1	1	PL3902	QFN32_4x4	PL3902, Buck/Boost 控制器, QFN32_4x4mm

*改变输入电压/输出电压/开关频率/电感感量可能需要重新调整环路补偿网络

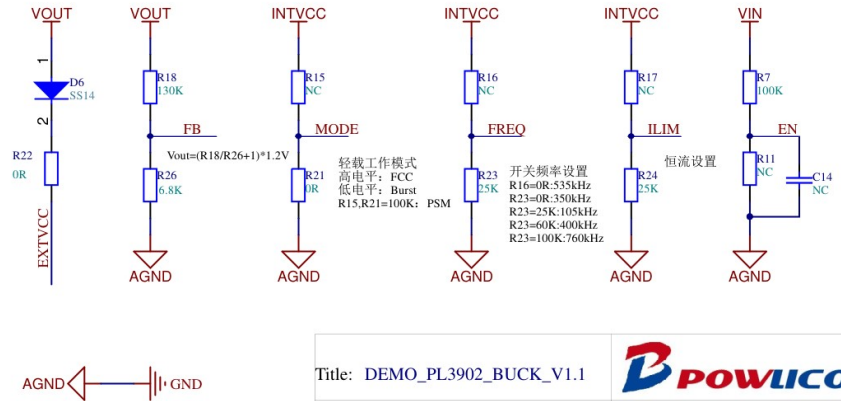
附录-原理图 (降压)



辅助供电
当输出电压大于24V时, 可选用DCDC辅助供电。



预留, 根据需求选择



Title: DEMO_PL3902_BUCK_V1.1

Drawn By: Zhanglihao

BOM 表

位号	用量	参数	封装	备注
C2, C3, C12, C15	4	100nF	0603_C	100nF, 50V, X7R, 0603
C4, C5	2	22uF	1206_C	22uF, 50V, X7R, 1206
C6, C11	2	100nF	0805_C	100nF, 50V, X7R, 0805
C7, C8, C25	3	10uF	1206_C	10uF, 50V, X7R, 1206
C9	1	100uF	RB5/10	100uF, 100V, 低 ESR 电解电容, Φ10x18mm
C10	1	470uF	RB5/10	470uF, 50V, 低 ESR 电解电容, Φ10x18mm
C13	1	4.7uF	0603_C	4.7uF, 16V, X7R, 0603
C16	1	100pF	0603_C	100pF, 50V, X7R, 0603
C17	1	10nF	0603_C	10nF, 50V, X7R, 0603
D2, D6	2	1N4148	SOD-123	1N4148, 100V, trr=50ns, SOD-123
L1	1	22uH	L_24*24	22uH, 功率电感, Irms=30A, Φ24mm x 10mm
Q1, Q2, Q3, Q4	4	AGM1010A2	DFN5*6	AGM1010A2, 100V, 74A, Rdson=7.8mΩ, DFN5x6
R2, R4	2	5mR	2512_R	5mΩ, ±1%, 2512
R1, R3, R5, R8, R9, R21, R22	7	0R	0603_R	0Ω, ±5%, 0603
R6, R10	2	10K	0603_R	10kΩ, ±5%, 0603
R7	1	100K	0603_R	100kΩ, ±5%, 0603
R13	1	5.6K*	0603_R	5.6kΩ, ±5%, 0603
R23	1	25K	0603_R	25kΩ, ±5%, 0603
R24	1	39K	0603_R	39kΩ, ±5%, 0603
R26	1	6.8K	0603_R	6.8kΩ, ±1%, 0603
R18	1	130K	0603_R	130kΩ, ±1%, 0603
U1	1	PL3902	QFN32_4x4	PL3902, Buck/Boost 控制器, QFN32_4x4m

*改变输入电压/输出电压/开关频率/电感感量可能需要重新调整环路补偿网络